

RIVER

リアルタイムクロック/カレンダーモジュール

RR-8523-C3

アプリケーションマニュアル

施行 2016年 6月 6日
第8版 2021年 4月 23日

リバーエレテック株式会社
RIVER ELETEC CORPORATION

本社 山梨県韮崎市富士見ヶ丘2丁目1番11号 〒407-8502
Head office 2-1-11 Fujimigaoka Nirasaki-Shi Yamanashi 407-8502, Japan
TEL (0551)22-1211 / FAX (0551)22-6645

東京営業所 東京都新宿区西新宿4丁目40番14号 〒160-0023
Tokyo 4-40-14 Nishi-Shinjuku Shinjuku-Ku Tokyo 160-0023, Japan
TEL (03)3377-5444 / FAX (03)3374-2865

大阪営業所 大阪府守口市京阪本通1丁目3番2号 守口富士ビル3F 〒570-0083
Osaka Moriguchi-Fuji Bldg. 3F 1-3-2 Keihan-Hondoori Moriguchi-Shi Osaka 570-0083, Japan
TEL (06)6998-4888 / FAX (06)6998-4899

変更記録

No.	日付	頁	変更内容
初版	2016/6/6		初版発行
第 1 版	2016/8/1		表紙を修正
第 2 版	2016/9/23	16,30~32	オフセットに関する記述を修正
			タイトル、ヘッダを変更
第 3 版	2016/10/22	47,48	R _S ,C _L 値を追記
第 4 版	2017/1/10		表のフォントを拡大
		8,19,27	週カウンタ→曜日カウンタに訂正
		9	表の区切りを修正
		17,47,48	表中の誤記を修正
第 5 版	2017/2/1		
		52	マーキングの説明を改訂
第 6 版	2017/2/3	52	マーキング、ロット略号の詳細を追記
第 7 版	2017/5/8		「周波数オフセット」を「時刻調整オフセット」に改訂
第 8 版	2021/4/23	41	誤記修正 0 ms to 122 ms→0~122 μ s
		53	キャリアテープ寸法修正
		54	リール寸法修正
		55	誤記修正 5000g→5000G

本資料に記載された応用回路，プログラム，使用方法は、あくまで参考情報であり、この情報を応用した、第三者の知的財産権ないし、その他の権利侵害あるいは損害について、弊社は一切の責任を負いかねます。

上記のような事態が想定される場合は、別途権利者へご相談下さい。

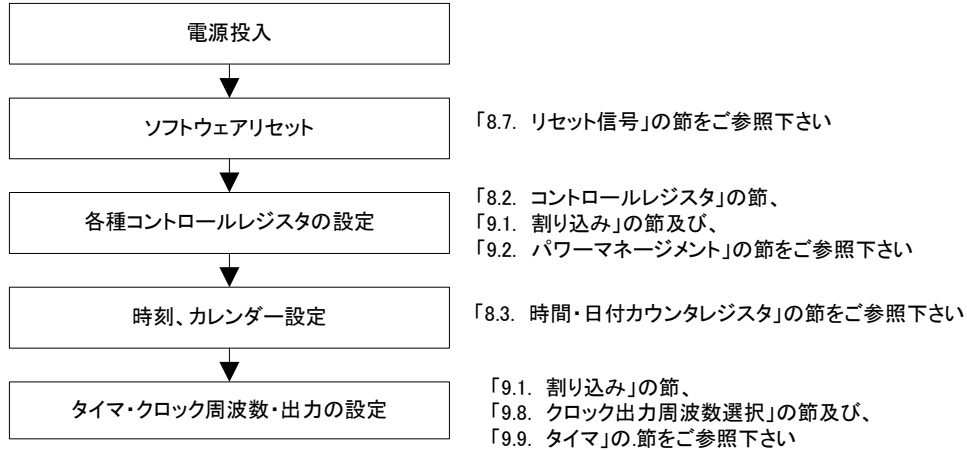
なお製品の仕様については、改良のため予告無く変更される場合がありますので、御了承下さい。

また人命にかかわる製品や、その故障等が社会的に重大な損失を与える製品に使用される際には、必ず事前に弊社まで御相談下さい。

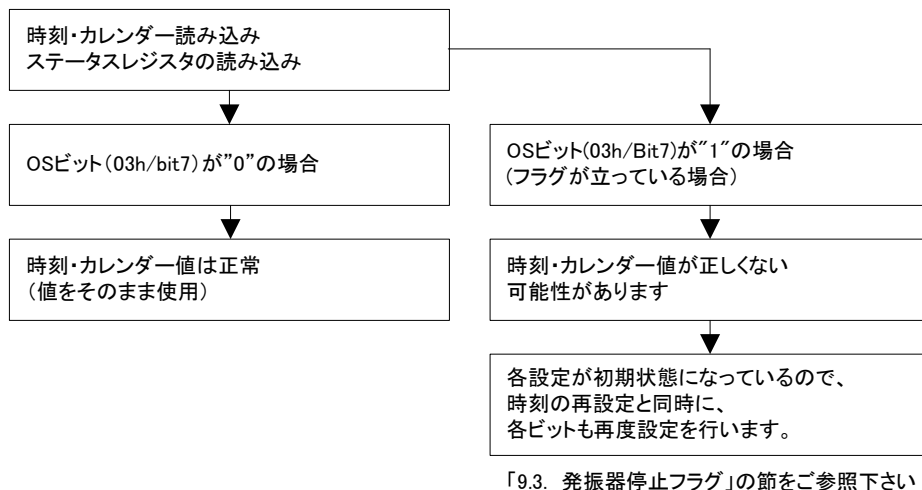
クイックスタートガイド

* 分かりやすく簡略化した設定フローです。

・初期設定



・通常動作時



各種割り込み信号発生時
(ウォッチドッグタイマ、カウントダウンタイマ、アラーム、発振器故障、バッテリー低下)

必要に応じて割り込みの種別を識別し、フラグをクリアします。「9.1. 割り込み」の節をご参照下さい

出力周波数の切り替え

用途に応じて出力周波数を切り替えます。「9.8. クロック出力周波数選択」の節をご参照下さい

校正

必要に応じて発振器を校正します。「9.7. 校正」の節をご参照下さい

ソフトウェアリセットの使用

必要に応じてソフトウェアリセットします。「8.7. リセット信号」の節をご参照下さい

目次

1. 大要.....	4
2. 概要.....	4
3. ブロックダイアグラム	5
4. 端子配置	6
5. 端子機能	6
6. 機能概要	7
7. 保護回路	7
8. レジスタ構成	8
8.1. レジスタ概要	8
8.2. コントロールレジスタ	9
8.2.1. コントロール1(アドレス00h...ビット詳細).....	9
8.2.2. コントロール2(アドレス 01h...ビット詳細).....	10
8.2.3. コントロール3(アドレス 02h...ビット詳細)	10
8.3. 時間・日付カウンタレジスタ	11
8.3.1. 秒カウンタ(アドレス 03h...ビット詳細)	11
8.3.2. 分カウンタ(アドレス 04h...ビット詳細)	11
8.3.3. 時カウンタ(アドレス 05h...ビット詳細)	12
8.3.4. 日カウンタ(アドレス 06h...ビット詳細)	12
8.3.5. 曜日カウンタ (アドレス 07h...ビット詳細)	13
8.3.6. 月カウンタ(アドレス 08h...ビット詳細)	13
8.3.7. 年カウンタ(アドレス 09h...ビット詳細)	14
8.4. アラームレジスタ	14
8.4.1. 分アラーム (アドレス 0Ah...ビット詳細)	14
8.4.2. 時アラーム (アドレス 0Bh...ビット詳細)	14
8.4.3. 日アラーム (アドレス 0Ch...ビット詳細)	15
8.4.4. 曜日アラーム(アドレス 0Dh...ビット詳細)	15
8.5. 時刻調整オフセットレジスタ	15
8.5.1. 時刻調整オフセット (アドレス 0Eh...ビット詳細)	17
8.6. タイマ・クロック出力レジスタ	17
8.6.1. タイマ・クロック出力 (アドレス 0Fh...ビット詳細).....	17
8.6.2. タイマA用クロック(アドレス 10h...ビット詳細)	17
8.6.3. タイマA レジスタ(アドレス 11h...ビット詳細)	18
8.6.4. タイマB用クロック (アドレス 12h...ビット詳細)	18
8.6.5. タイマB レジスタ(アドレス 13h...ビット詳細)	18
8.7. リセット信号.....	19
8.7.1. レジスタリセット値	19
9. 機能詳細.....	20
9.1. 割り込み	20
9.2. パワーマネジメント	22
9.2.1. スタンバイモード	22
9.2.2. バッテリ電源切り替え	23
9.2.3. バッテリ低下検出	25
9.3. 発振器停止フラグ	26
9.4. 時計機能のデータフロー	26
9.5. アラームフラグ	28
9.6. アラーム割り込み	29
9.7. 校正	30
9.7.1. MODE = 0のときの校正	30
9.7.2. MODE = 1のときの校正.....	31
9.7.3. 校正ワークフロー	32
9.8. クロック出力周波数選択.....	33
9.9. タイマ.....	33
9.9.1. タイマ A	34
9.9.2. タイマ B	36
9.9.3. 秒割り込みタイマ	37
9.9.4. タイマ割り込みパルス	38
9.10. STOPビットの機能	40

10. I ² C インターフェースの特性	4
10.1. ビット転送	42
10.2. 開始・停止条件	42
10.3. システムコンフィグレーション	43
10.4. アクノリッジ	43
11. I ² Cバスインターフェースのプロトコル	44
11.1. アドレス指定	44
11.2. 書き込み・読み出しオペレーション	44
11.2.1. 書き込み	44
11.2.2. 特定アドレスからの読み出し	45
11.2.3. 読み出しの再開	45
12. 絶対最大規格	46
13. 周波数特性	46
13.1. 周波数温度特性	46
14. 直流特性	47
15. I ² Cバスのタイミング仕様	49
15.1. タイミング図	49
16. 使用方法	50
17. 推奨リフロープロファイル(鉛フリーはんだ)	51
18. パッケージ	52
18.1. 製品寸法と推奨ランド寸法	52
18.2. マーキングと1番ピンマーク	52
19. 包装	53
19.1. キャリアテープ	53
19.2. リール当たりの製品数	53
19.3. 12mmテープ用7インチリール	54
20. 水晶振動子または水晶振動子を内蔵したモジュールの取り扱い注意事項	55

RR-8523-C3

高速 I²C インターフェース超低消費電流リアルタイムクロック/カレンダーモジュール

RIVER

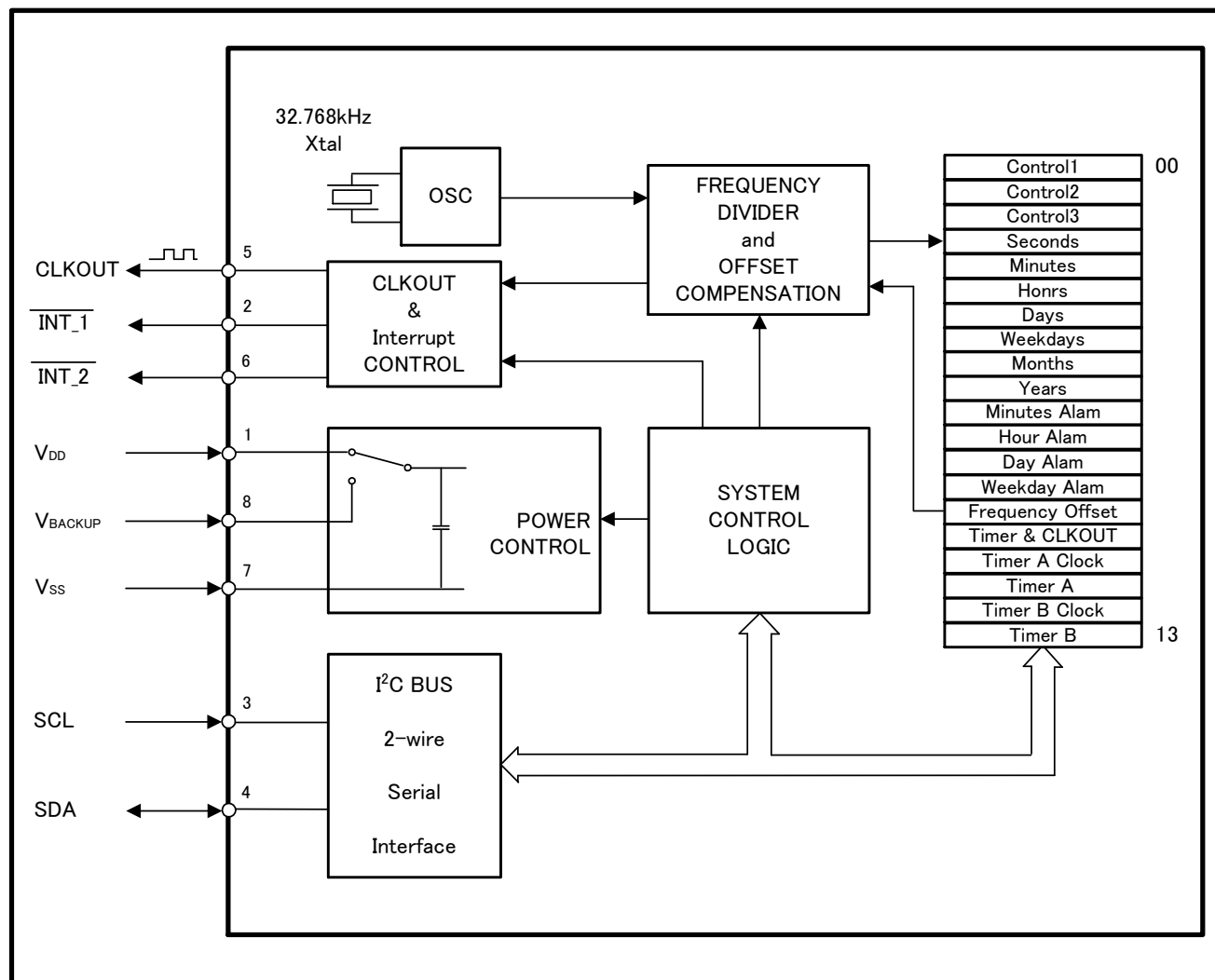
1. 大要

- 32.768 kHz水晶発振器内蔵型RTCモジュール
- 1 MHzファストモード+ (Fm+)2ライン方式I²Cインターフェース
- 広いインターフェース駆動許容電圧範囲: 1.6 – 5.5 V
- 広いクロック駆動許容起動電圧範囲: 1.2 – 5.5 V
- 超低消費電流: 3.0V / 25°C下で130 nA (代表値)
- 年、月、日、曜日、時、分、秒カウンタ搭載
- アラーム、タイマ割り込み設定機能搭載
- 低電圧検出機能、内部パワーオンリセット機能搭載
- バックアップ電源入力端子、電源切り替え回路搭載
- INT_1 端子で割り込み出力、クロック出力切り替え可能 (オープンドレイン)
- クロック出力周波数切り替え可能 (32.768 kHz, 16.384 kHz, 8192 Hz, 4096 Hz, 1024 Hz, 32 Hz, 1 Hz)
- 時刻精度校正用オフセットレジスタ搭載
- I²Cスレーブアドレス: 読み出しD1h (11010001b)、書き込み-D0h (11010000b)
- RoHS指令対応、100%鉛フリー、小型 (3.7 x 2.5 x 0.9 mm) C3パッケージ (10ピン)

2. 概要

RR-8523-C3は低消費電流に特化したCMOSリアルタイムクロック・カレンダーモジュールです。最大データレート1000 kbit/sのI²Cシリアルバスでデータ転送できます。アラーム、タイマ機能を使用して、割り込み端子を介してウェイクアップ信号を発生させることができます。本製品はクロックを校正するためのオフセットレジスタを備えています。本製品は主電源故障時に電源故障検出とバックアップ電源切り替えを自動で行う電源切り替え回路を備えています。

3. ブロックダイアグラム

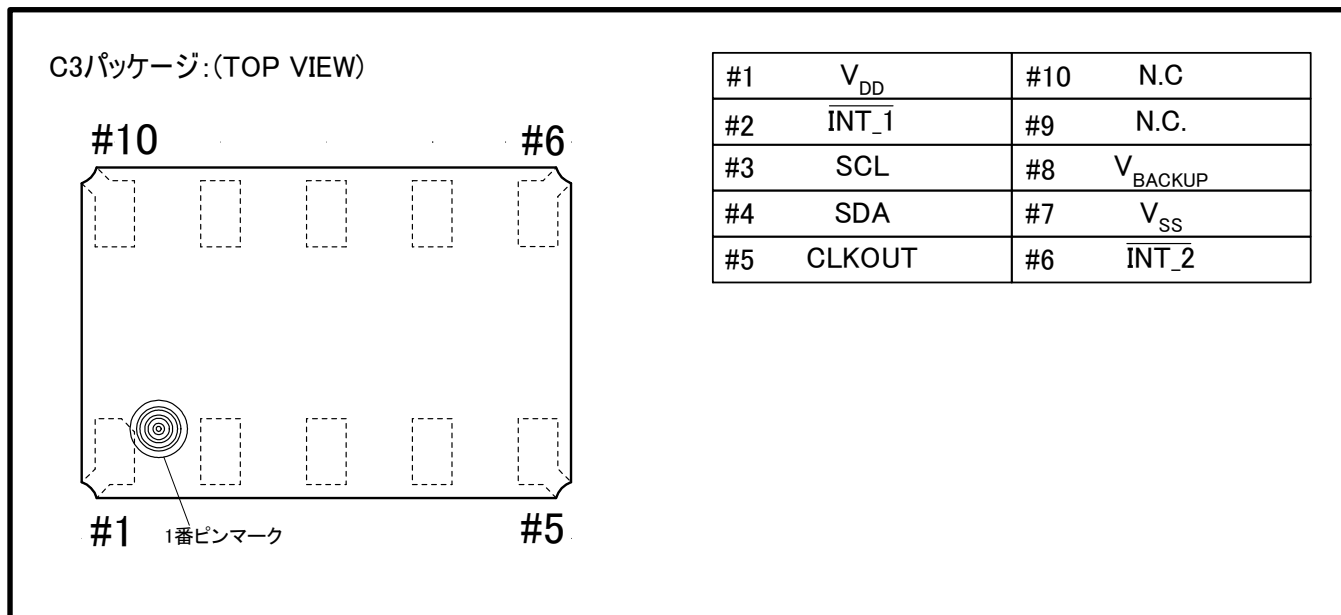


RR-8523-C3

高速 I²C インターフェース超低消費電流リアルタイムクロック/カレンダーモジュール

RIVER

4. 端子配置



5. 端子機能

記号	端子#	詳細
V_{DD}	1	主電源入力端子
$\overline{INT_1}$	2	第一割り込み出力端子 (LOW アクティブ) / クロック出力端子, オープンドレイン プルアップ抵抗を接続
SCL	3	I ² C 通信用シリアルクロック入力端子; プルアップ抵抗を接続
SDA	4	I ² C 通信用シリアルデータ入力端子; プルアップ抵抗を接続
CLKOUT	5	クロック出力端子; オープンドレイン、プルアップ抵抗を接続
$\overline{INT_2}$	6	第二割り込み出力端子 (LOW アクティブ) ; オープンドレイン、プルアップ抵抗接続
V_{SS}	7	グランド端子
V_{BACKUP}	8	バックアップ電源入力端子; 使用しない場合はグランドに接続
N.C.	9	ノンコネクション
N.C.	10	ノンコネクション

RR-8523-C3

高速 I²C インターフェース超低消費電流リアルタイムクロック/カレンダーモジュール

RIVER

6. 機能概要

RR-8523-C3は小型セラミックパッケージに32.768kHz水晶振動子を搭載した発振器とICを内蔵したRTCモジュールです。RR-8523は以下の機能を搭載しています。

- 20個の自動インクリメント機能付き8ビットレジスタ
- リアルタイムクロック (RTC) のソースクロックを発生する分周器
- 切り替え可能なクロック出力
- ビット転送速度1 Mbit/sのI²Cバスインターフェース
- クロック校正用オフセットレジスタ

全20個のレジスタはアドレス指定可能な8ビットレジスタとして設計されていますが、機能を割り当てられていないビットも存在します。

- 最初の3個のレジスタ (アドレス00h, 01h, 02h) は制御レジスタ、ステータスレジスタとして割り当てられています。
- レジスタアドレス03h~09hはクロック機能 (秒~年) のカウンタとして割り当てられています。
- レジスタアドレス0Ah~0Dhはアラーム設定用として割り当てられています。
- レジスタアドレス0Ehはクロック校正用オフセットレジスタとして割り当てられています。
- レジスタアドレス0Fhはクロックアウトモード設定用、10h, 12hはタイマモード設定用レジスタとして割り当てられています。
- レジスタアドレス11h, 13hはタイマレジスタとして割り当てられています。

秒、分、時、日、曜日、月、年カウンタレジスタはBCD形式で定義されています。

他のレジスタは2進数で定義されています。

RTCレジスタのうち一つが読み込まれると、全てのカウンタがフリーズされます。

これによって、通信中のクロック、カレンダーの読み取りエラーを回避できます。

RR-8523はバッテリーバックアップ端子と、バッテリー電源切り替え回路を備えており、これにより電源電圧をモニタし、電源故障が検出されたときに自動的にバックアップ電源に切り替えることができます。

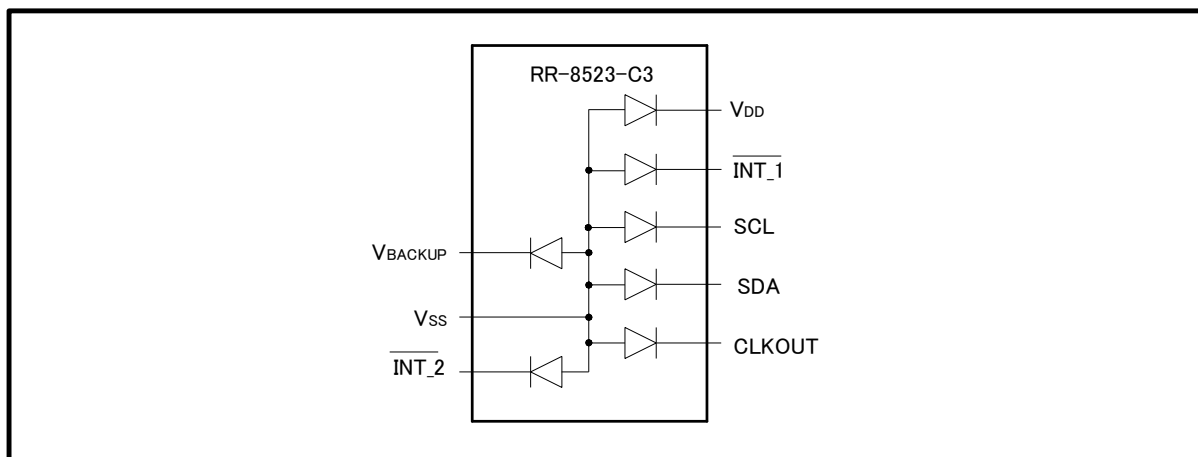
その後主電源に切り替わっても時間精度は保たれます。

バッテリー低下検出回路で、バッテリーの状態をモニターできます。

バッテリー電圧が閾値より下がったとき、バッテリー交換を知らせるフラグがセットされます。

これによって、バッテリー電源起動中のデータを保持できます。

7. 保護回路



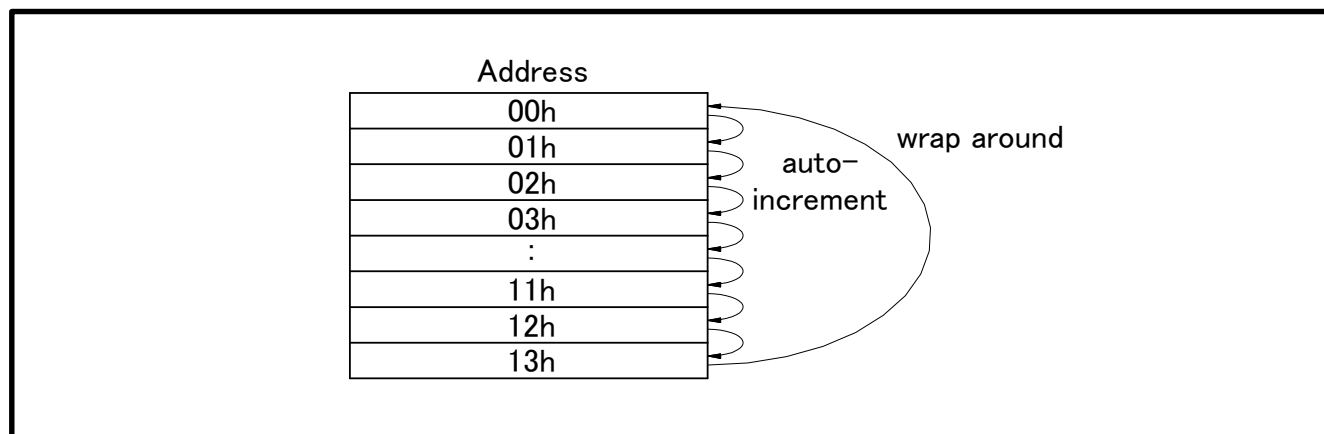
8. レジスタ構成

8.1. レジスタ概要

RR-8523-C3の20個のレジスタは、読み出し、書き込み後、レジスタアドレス13hまでオートインクリメント(自動的に1ずつアドレス値を増加)します。

レジスタアドレス13hの後は、アドレス00hにラップアラウンドします。

自動インクリメントラップアラウンド:



アドレス	機能	Bit 7	Bit 6	Bit 5	Bit 4	Bit 3	Bit 2	Bit 1	Bit 0
00h	コントロール 1	CAP	N	STOP	SR	12_24	SIE	AIE	CIE
01h	コントロール 2	WTAF	CTAF	CTBF	SF	AF	WTAIE	CTAIE	CTBIE
02h	コントロール 3	PM2	PM1	PM0	X	BSF	BLF	BSIE	BLIE
03h	秒カウンタ	OS	40	20	10	8	4	2	1
04h	分カウンタ	X	40	20	10	8	4	2	1
05h	時カウンタ (12 時間モード)	X	X	AMPM	10	8	4	2	1
	時カウンタ (24 時間モード)	X	X	20	10	8	4	2	1
06h	日カウンタ	X	X	20	10	8	4	2	1
07h	曜日カウンタ	X	X	X	X	X	4	2	1
08h	月カウンタ	X	X	X	10	8	4	2	1
09h	年カウンタ	80	40	20	10	8	4	2	1
0Ah	分アラーム	AE_M	40	20	10	8	4	2	1
0Bh	時アラーム (12 時間モード)	AE_H	X	AMPM	10	8	4	2	1
	時アラーム (24 時間モード)	AE_H	X	20	10	8	4	2	1
0Ch	日アラーム	AE_D	X	20	10	8	4	2	1
0Dh	週アラーム	AE_W	X	X	X	X	4	2	1
0Eh	時刻調整オフセット	MODE	Offset value						
0Fh	タイマ・クロック出力	TAM	TBM	COF2	COF1	COF0	TAC1	TAC0	TBC
10h	タイマ A 用クロック	X	X	X	X	X	TAQ2	TAQ1	TQA0
11h	タイマ A	128	64	32	16	8	4	2	1
12h	タイマ B 用クロック	X	TBW2	TBW1	TBW0	X	TBQ2	TBQ1	TBQ0
13h	タイマ B	128	64	32	16	8	4	2	1

“X”とかがれたビットは使用されず、読み出し時に0に戻ります。
Nと書かれたビットには常に値0が書き込まれます。

RR-8523-C3

高速 I²C インターフェース超低消費電流リアルタイムクロック/カレンダーモジュール

RIVER

8.2. コントロールレジスタ

8.2.1. コントロール1（アドレス00h ビット詳細）

アドレス	機能	Bit 7	Bit 6	Bit 5	Bit 4	Bit 3	Bit 2	Bit 1	Bit 0
00h	コントロール 1	CAP	N	STOP	SR	12_24	SIE	AIE	CIE
	リセット	0	0	0	0	0	0	0	0
ビット	記号	値	説明						参照
7	CAP	0 ¹⁾	負荷容量切り替えビット（本製品では 0 以外入力不可）						
6	N	0 ^{1) 2)}	未使用						
5	STOP	0 ¹⁾	RTC 回路起動						
		1	RTC 回路凍結 RTC ディバイダーチェーンフリップフロップは非同期的に 0 にセットされます 32.768 kHz, 16.384 kHz, 8.192 kHz クロック出力は有効						
4	SR	0 ^{1) 2)}	ソフトウェアリセットなし						
		1	ソフトウェアリセット実行						
3	12_24	0 ¹⁾	24 時間モードを選択						
		1	12 時間モードを選択						
2	SIE	0 ¹⁾	秒割り込み無効化						
		1	秒割り込み有効化						
1	AIE	0 ¹⁾	アラーム割り込み無効化						
		1	アラーム割り込み有効化						
0	CIE	0 ¹⁾	補正割り込みなし						8.5 節参照
		1	補正周期毎に割り込みパルス発生						

1) デフォルト値

2) Nと書かれたビットには常に値0が書き込まれる

3) ソフトウェアリセットをするには、コントロール1レジスタに値01011000（58h）を転送。（8.7.節参照）
SRビットは読み出し時、常に0に戻る

8.2.2. コントロール 2 (アドレス 01h ビット詳細)

アドレス	機能	Bit 7	Bit 6	Bit 5	Bit 4	Bit 3	Bit 2	Bit 1	Bit 0
01h	コントロール 2	WTAF	CTAF	CTBF	SF	AF	WTAIE	CTAIE	CTBIE
	リセット	0	0	0	0	0	0	0	0
ビット	記号	値	説明						参照
7	WTAF	0 ¹⁾	ウォッチドッグタイマ A 割り込みなし						
		1	ウォッチドッグタイマ A 割り込み発生時フラグをセット コントロール 2 レジスタを読み出すとフラグクリア						
6	CTAF	0 ¹⁾	カウントダウンタイマ A 割り込みなし						
		1	カウントダウンタイマ A 割り込み発生時フラグセット フラグをクリアすると割り込みクリア						
5	CTBF	0 ¹⁾	カウントダウンタイマ B 割り込みなし						
		1	カウントダウンタイマ B 割り込み発生時フラグセット フラグをクリアすると割り込みクリア						
4	SF	0 ¹⁾	秒割り込みなし						
		1	秒割り込み発生時フラグセット フラグをクリアすると割り込みクリア						
3	AF	0 ¹⁾	アラーム割り込みなし						
		1	アラームが発動するとフラグセット フラグをクリアすると割り込みクリア						
2	WTAIE	0 ¹⁾	ウォッチドッグタイマ A 割り込み無効化						
		1	ウォッチドッグタイマ A 割り込み有効化						
1	CTAIE	0 ¹⁾	カウントダウンタイマ A 割り込み無効化						
		1	カウントダウンタイマ A 割り込み有効化						
0	CTBIE	0 ¹⁾	カウントダウンタイマ B 割り込み無効化						
		1	カウントダウンタイマ B 割り込み有効化						

1) デフォルト値

8.2.3. コントロール 3 (アドレス 02h ビット詳細)

アドレス	機能	Bit 7	Bit 6	Bit 5	Bit 4	Bit 3	Bit 2	Bit 1	Bit 0
02h	コントロール 3	PM2	PM1	PM0	X	BSF	BLF	BSIE	BLIE
	リセット	1	1	1	-	0	0	0	0
ビット	記号	値	説明						参照
7to5	PM[2:0]	000~111 ¹⁾	バッテリー切り替え、バッテリー低下検出機能を制御						9.2.節参照
4	X	-	未使用						
3	BSF	0 ²⁾	バッテリー切り替え割り込みなし						
		1	バッテリー切り替え実行時フラグをセット フラグをクリアすると割り込みクリア						
2	BLF	0 ²⁾	バッテリー状態良好						
		1	バッテリー低下、読み出し専用						
1	BSIE	0 ²⁾	バッテリー切り替えフラグ BSF からの割り込みなし						
		1	バッテリー切り替えフラグ BSF がセットされたとき割り込み発生						
0	BLIE	0 ²⁾	バッテリー低下フラグ BLF からの割り込みなし						
		1	バッテリー低下フラグ BLF がセットされたとき割り込み発生						

1) デフォルト値は111

2) デフォルト値

8.3. 時間、日付レジスタ

ほとんどの時間、日付レジスタはBCD形式で定義されています。BCD形式によって簡単にアプリケーションを使うことができます。秒レジスタの表がその一例です。

8.3.1. 秒カウンタ（アドレス 03h ビット詳細）

アドレス	機能	Bit 7	Bit 6	Bit 5	Bit 4	Bit 3	Bit 2	Bit 1	Bit 0
03h	秒カウンタ	OS	40	20	10	8	4	2	1
	リセット	1	-	-	-	-	-	-	-
ビット	記号	値	説明						
7	OS	0	クロック精度を保証						
		1 ¹⁾	クロック精度は保証されない 発振器が停止又は発振器停止割り込み発生						
6 ~ 0	seconds	0 ~ 59	秒カウンタの現在値を BCD 形式で保持						

1) 初期値

秒カウンタ値 (10 進数)	上位ビット (10 の位)			下位ビット (1 の位)			
	Bit 6	Bit 5	Bit 4	Bit 3	Bit 2	Bit 1	Bit 0
00	0	0	0	0	0	0	0
01	0	0	0	0	0	0	1
02	0	0	0	0	0	1	0
:	:	:	:	:	:	:	:
09	0	0	0	1	0	0	1
10	0	0	1	0	0	0	0
:	:	:	:	:	:	:	:
58	1	0	1	1	0	0	0
59	1	0	1	1	0	0	1

8.3.2. 分カウンタ（アドレス 04h ビット詳細）

アドレス	機能	Bit 7	Bit 6	Bit 5	Bit 4	Bit 3	Bit 2	Bit 1	Bit 0
04h	分カウンタ	X	40	20	10	8	4	2	1
	リセット	-	-	-	-	-	-	-	-
ビット	記号	値	説明						
7	X	-	未使用						
6 ~ 0	Minutes	0 ~ 59	分カウンタの現在値を BCD 形式で保持						

RR-8523-C3

高速 I²C インターフェース超低消費電流リアルタイムクロック/カレンダーモジュール

RIVER

8.3.3. 時カウンタ（アドレス 05h ビット詳細）

12時間モード¹⁾

アドレス	機能	Bit 7	Bit 6	Bit 5	Bit 4	Bit 3	Bit 2	Bit 1	Bit 0
05h	時カウンタ	X	X	AMPM	10	8	4	2	1
	リセット	-	-	-	-	-	-	-	-
ビット	記号	値	説明						
7 ~ 6	X	-	未使用						
5	AMPM	0	午前を表示						
		1	午後を表示						
4 ~ 0	hours	1 ~ 12	12 時間モードの時カウンタの現在値を BCD 形式で保持						

¹⁾ コントロール1レジスタの12_24ビットで時間モードを設定

24時間モード¹⁾

アドレス	機能	Bit 7	Bit 6	Bit 5	Bit 4	Bit 3	Bit 2	Bit 1	Bit 0
05h	時カウンタ	X	X	20	10	8	4	2	1
	リセット	-	-	-	-	-	-	-	-
ビット	記号	値	説明						
7 ~ 6	X	-	未使用						
5 ~ 0	hours	0 ~ 23	24 時間モードの時カウンタの現在値を BCD 形式で保持						

¹⁾ コントロール1レジスタの12_24ビットで時間モードを設定

8.3.4. 日カウンタ（アドレス 06h ビット詳細）

アドレス	機能	Bit 7	Bit 6	Bit 5	Bit 4	Bit 3	Bit 2	Bit 1	Bit 0
06h	日カウンタ	X	X	20	10	8	4	2	1
	リセット	-	-	-	-	-	-	-	-
ビット	記号	値	説明						
7 ~ 6	X	-	未使用						
5 ~ 0	Days ¹⁾	1 ~ 31	日カウンタの現在値を BCD 形式で保持						

¹⁾ 年カウンタ値が4の倍数（うるう年（00年を含む）の場合、RR-8523-C3は2月29日を付け加えます。）

RR-8523-C3

高速 I²C インターフェース超低消費電流リアルタイムクロック/カレンダーモジュール

RIVER

8.3.5. 曜日カウンタ（アドレス 07h ビット詳細）

アドレス	機能	Bit 7	Bit 6	Bit 5	Bit 4	Bit 3	Bit 2	Bit 1	Bit 0
07h	曜日カウンタ	X	X	X	X	X	4	2	1
	リセット	-	-	-	-	-	-	-	-
ビット	記号	値	説明						
7 ~ 3	X	-	未使用						
2 ~ 0	Weekdays	0 ~ 6	曜日カウンタの現在値を 2 進数で保持						
Weekdays ¹⁾		Bit 7	Bit 6	Bit 5	Bit 4	Bit 3	Bit 2	Bit 1	Bit 0
日曜		X	X	X	X	X	0	0	0
月曜		X	X	X	X	X	0	0	1
火曜		X	X	X	X	X	0	1	0
水曜		X	X	X	X	X	0	1	1
木曜		X	X	X	X	X	1	0	0
金曜		X	X	X	X	X	1	0	1
土曜		X	X	X	X	X	1	1	0

1) 再設定可能

8.3.6. 月カウンタ（アドレス 08h ビット詳細）

アドレス	機能	Bit 7	Bit 6	Bit 5	Bit 4	Bit 3	Bit 2	Bit 1	Bit 0
08h	月カウンタ	X	X	X	10	8	4	2	1
	リセット	-	-	-	-	-	-	-	-
ビット	記号	値	説明						
7 ~ 5	X	-	未使用						
4 ~ 0	Months	1 ~ 12	月カウンタの現在値を BCD 形式で保持						
Months		Bit 7	Bit 6	Bit 5	Bit 4	Bit 3	Bit 2	Bit 1	Bit 0
1 月		X	X	X	0	0	0	0	1
2 月		X	X	X	0	0	0	1	0
3 月		X	X	X	0	0	0	1	1
4 月		X	X	X	0	0	1	0	0
5 月		X	X	X	0	0	1	0	1
6 月		X	X	X	0	0	1	1	0
7 月		X	X	X	0	0	1	1	1
8 月		X	X	X	0	1	0	0	0
9 月		X	X	X	0	1	0	0	1
10 月		X	X	X	1	0	0	0	0
11 月		X	X	X	1	0	0	0	1
12 月		X	X	X	1	0	0	1	0

RR-8523-C3

高速 I²C インターフェース超低消費電流リアルタイムクロック/カレンダーモジュール

RIVER

8.3.7. 年カウンタ（アドレス09h ビット詳細）

アドレス	機能	Bit 7	Bit 6	Bit 5	Bit 4	Bit 3	Bit 2	Bit 1	Bit 0
09h	年カウンタ	80	40	20	10	8	4	2	1
	リセット	-	-	-	-	-	-	-	-
ビット	記号	値	説明						
7 ~ 0	Years	0 ~ 99	年カウントの現在値を BCD 形式で保持						

8.4. アラームレジスタ

レジスタアドレス0Ah~0Dhはアラーム情報を保持します。

8.4.1. 分アラーム（アドレス0Ah ビット詳細）

アドレス	機能	Bit 7	Bit 6	Bit 5	Bit 4	Bit 3	Bit 2	Bit 1	Bit 0
0Ah	分アラーム	AE_M	40	20	10	8	4	2	1
	リセット	1	-	-	-	-	-	-	-
ビット	記号	値	説明						
7	AE_M	0	分アラーム有効化						
		1 ¹⁾	分アラーム無効化						
6 ~ 0	Minute Alarm	0 ~ 59	分アラーム情報を BCD 形式で保持						

1) デフォルト値

8.4.2. 時アラーム（アドレス 0Bh ビット詳細）

12時間モード¹⁾

アドレス	機能	Bit 7	Bit 6	Bit 5	Bit 4	Bit 3	Bit 2	Bit 1	Bit 0
0Bh	時アラーム	AE_H	X	AMPM	10	8	4	2	1
	リセット	1	-	-	-	-	-	-	-
ビット	記号	値	説明						
7	AE_H	0	時アラーム有効化						
		1 ²⁾	時アラーム無効化						
6	X	-	未使用						
5	AMPM	0	午前を表示						
		1	午後を表示						
4 ~ 0	Hour Alarm	1 ~ 12	時アラーム情報（12 時間モード）を BCD 形式で保持						

1) コントロール1レジスタの12_24ビットで時間モードを設定

2) デフォルト値

24時間モード¹⁾

アドレス	機能	Bit 7	Bit 6	Bit 5	Bit 4	Bit 3	Bit 2	Bit 1	Bit 0
0Bh	時アラーム	AE_H	X	20	10	8	4	2	1
	リセット	1	-	-	-	-	-	-	-
ビット	記号	値	説明						
7	AE_H	0	時アラーム有効化						
		1 ²⁾	時アラーム無効化						
6	X	-	未使用						
5 ~ 0	Hour Alarm	0 ~ 23	時アラーム情報（24 時間モード）を BCD 形式で保持						

1) コントロール1レジスタの12_24ビットで時間モードを設定

2) デフォルト値

RR-8523-C3

高速 I²C インターフェース超低消費電流リアルタイムクロック/カレンダーモジュール

RIVER

8.4.3. 日アラーム（アドレス 0Ch ビット詳細）

アドレス	機能	Bit 7	Bit 6	Bit 5	Bit 4	Bit 3	Bit 2	Bit 1	Bit 0
0Ch	日アラーム	AE_D	X	20	10	8	4	2	1
	リセット	1	-	-	-	-	-	-	-
ビット	記号	値	説明						
7	AE_D	0	日アラーム有効化						
		1 ¹⁾	日アラーム無効化						
6	X	-	未使用						
5 ~ 0	Day Alarm	1 ~ 31	2 進法 10 進数での日アラーム情報						

1) デフォルト値

8.4.4. 曜日アラーム（アドレス 0Dh ビット詳細）

アドレス	機能	Bit 7	Bit 6	Bit 5	Bit 4	Bit 3	Bit 2	Bit 1	Bit 0
0Dh	曜日アラーム	AE_W	X	X	X	X	4	2	1
	リセット	1	-	-	-	-	-	-	-
ビット	記号	値	説明						
7	AE_W	0	曜日アラーム有効化						
		1 ¹⁾	曜日アラーム無効化						
6 ~ 3	X	-	未使用						
2 ~ 0	Weekday Alarm	0 ~ 6	曜日アラーム情報						

1) デフォルト値

RR-8523-C3

高速 I²C インターフェース超低消費電流リアルタイムクロック/カレンダーモジュール

RIVER

8.5. 時刻調整オフセットレジスタ

RR-8523-C3にはオフセットレジスタ（アドレス0Eh）が組み込まれており、以下のような機能を実行するために使用されます。

- ・ エージング補正
- ・ 温度補正
- ・ 精度の校正

8.5.1. 時刻調整オフセットレジスタ（アドレス0Eh ビット詳細）

アドレス	機能	Bit 7	Bit 6	Bit 5	Bit 4	Bit 3	Bit 2	Bit 1	Bit 0
0Eh	周波数 オフセット	MODE	Offset value						
	リセット	0	0	0	0	0	0	0	0
ビット	記号	値	説明						
7	Mode	0 ¹⁾	2 時間おきに校正						
		1	1 分おきに校正						
6 ~ 0	Offset value	0000000 ~ 1111111	オフセット値（下表参照）						

1) デフォルト値

MODEビット値が0のとき、最小位ビットが1増えるごとに4.34ppmオフセットされます。
MODEビット値が1のとき、最小位ビットが1増えるごとに4.069ppmオフセットされます。
4.34ppm、4.069 ppmという値は通常の32.768 kHzのクロックに基づいています。

オフセット値[6:0] (2 進数)	校正パルス数	シフト量(ppm)	
		2 時間置き (MODE=0)	1 分置き (MODE=1)
0111111	-63	-273.420	-256.347
0111110	-62	-269.080	-252.278
⋮	⋮	⋮	⋮
0000010	-2	-8.680	-8.138
0000001	-1	-4.340	-4.069
0000000	0 ¹⁾	0 ¹⁾	0 ¹⁾
1111111	+1	+4.340	+4.069
1111110	+2	+8.680	+8.138
⋮	⋮	⋮	⋮
1000001	+63	+273.420	+256.347
1000000	+64	+277.760	+260.416

1) デフォルト値

補正は、クロック補正パルスを加算あるいは減算することによって行われ、それにより 1 秒の周期を変化させます。

補正パルスの発生をモニターすることができます。補正割り込みの発生を有効化するため、CIEビット（コントロール1レジスタ）を1にセットします。

補正サイクルごとに1/4096秒パルスが $\overline{\text{INT_x}}$ 端子に発生します。

複数の補正パルスが供給された場合、一つの1/4096秒の割り込みパルスがそれぞれの供給された補正パルスに対して発生します。

8.6. タイマ・クロック出力レジスタ

RR-8523-C3は3つのタイマを備えています。

- ・ タイマAはウォッチドッグタイマあるいはカウントダウンタイマとしてご使用いただけます。（9.9.1項参照）
タイマAは、タイマ・クロック出力レジスタ（アドレス0Fh）のTAC[1:0]フィールドで設定できます。
- ・ タイマBはカウントダウンタイマとしてご使用いただけます。（9.9.2項参照）
タイマBは、タイマ・クロック出力レジスタ（アドレス0Fh）のTBCビットで設定できます。
- ・ 秒タイマは1秒間に1回割り込みを発生させるために使用します。（9.9.3項参照）

タイマAとタイマBは1ms以下~255時間のカウントダウン周期を可能にする5つの選択可能なクロック源を備えています。

タイマ機能とタイマ出力を制御するために、レジスタ01h,0Fh,11h,12h,13hが使用されます。

8.6.1. タイマ・クロック出力レジスタ（アドレス 0Fh ビット詳細）

アドレス	機能	Bit 7	Bit 6	Bit 5	Bit 4	Bit 3	Bit 2	Bit 1	Bit 0
0Fh	タイマ・クロック出力	TAM	TBM	COF2	COF1	COF0	TAC1	TAC0	TBC
	リセット	0	0	0	0	0	0	0	0
ビット	記号	値	説明						
7	TAM	0 ¹⁾	タイマ A、秒割り込みタイマ用レベル割り込み						
		1	タイマ A、秒割り込みタイマ用パルス割り込み						
6	TBM	0 ¹⁾	タイマ B 用レベル割り込み						
		1	タイマ B 用パルス割り込み						
5 ~ 3	COF[2:0]	000 ¹⁾ ~ 111	クロック出力周波数選択（9.8 節参照）						
2 ~ 1	TAC[1:0]	00 ¹⁾ or 11	タイマ A 無効化						
		01	タイマ A をカウントダウンタイマとして設定 CTAIE ビット（コントロール 2 レジスタ）が 1 にセットされている場合、カウントダウン終了時割り込みを発生						
		10	タイマ A をウォッチドッグタイマとして設定 WTAIE ビット（コントロール 2 レジスタ）が 1 にセットされている場合、タイムアウト時に割り込み発生						
0	TBC	0 ¹⁾	タイマ B 無効化						
		1	タイマ B 有効化 CTBIE ビット（コントロール 2 レジスタ）が 1 にセットされている場合、カウントダウン終了時に割り込みを発生						

1) デフォルト値

8.6.2. タイマ A 用クロックレジスタ（アドレス 10h ビット詳細）

アドレス	機能	Bit 7	Bit 6	Bit 5	Bit 4	Bit 3	Bit 2	Bit 1	Bit 0
10h	タイマ A 用クロック	X	X	X	X	X	TAQ2	TAQ1	TAQ0
	リセット	-	-	-	-	-	1	1	1
ビット	記号	値	説明						
7 to 3	X	-	未使用						
2 to 0	TAQ[2:0] ¹⁾	000	4.096 kHz						
		001	64 Hz						
		010	1Hz						
		011	1/60 Hz						
		111 ²⁾	1/3600 Hz						
		110							
		100							

1) タイマAのクロック源（9.9節参考）

2) デフォルト値

RR-8523-C3

高速 I²C インターフェース超低消費電流リアルタイムクロック/カレンダーモジュール

RIVER

8.6.3. タイマ A レジスタ（アドレス 11h ビット詳細）

アドレス	機能	Bit 7	Bit 6	Bit 5	Bit 4	Bit 3	Bit 2	Bit 1	Bit 0
11h	タイマ A	128	64	32	16	8	4	2	1
	リセット	-	-	-	-	-	-	-	-
ビット	記号	値	説明						
7 ~ 0	X	00 ~ FF	カウントダウン値=n タイマ周期=n/（クロック源周波数）						

8.6.4. タイマ B 用クロックレジスタ（アドレス 12h ビット詳細）

アドレス	機能	Bit 7	Bit 6	Bit 5	Bit 4	Bit 3	Bit 2	Bit 1	Bit 0
12h	タイマ B 用クロック	X	TBW2	TBW1	TBW0	X	TBQ2	TBQ1	TBQ0
	リセット	-	0	0	0	-	1	1	1
ビット	記号	値	説明						
7	X	-	未使用						
6 ~ 4	TBW[2:0] ²⁾	000 ¹⁾	46.875 ms						
		001	62.500 ms						
		010	78.125 ms						
		011	93.750 ms						
		100	125.000 ms						
		101	156.250 ms						
		110	187.500 ms						
		111	218.750 ms						
3	X	-	未使用						
2 ~ 0	TBQ[2:0] ³⁾	000	4.096 kHz						
		001	64 Hz						
		010	1Hz						
		011	1/60 Hz						
		111 ¹⁾	1/3600 Hz						
		110							
		100							

1) デフォルト値

2) タイマB割り込みパルスのためのLOWパルス幅

3) タイマBのクロック源（9.9節参考）

8.6.5. タイマ B レジスタ（アドレス 13h ビット詳細）

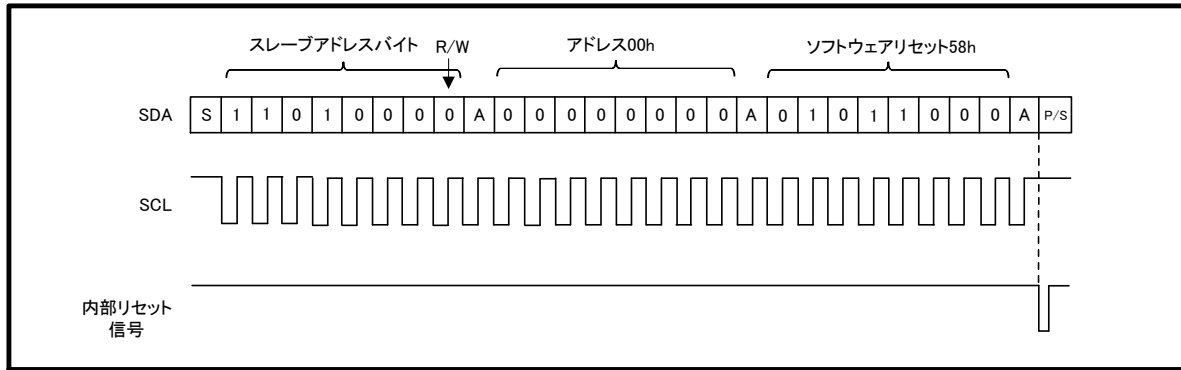
アドレス	機能	Bit 7	Bit 6	Bit 5	Bit 4	Bit 3	Bit 2	Bit 1	Bit 0
13h	タイマ B	128	64	32	16	8	4	2	1
	リセット	-	-	-	-	-	-	-	-
ビット	記号	値	説明						
7 ~ 0	X	00 ~ FF	カウントダウン値=n タイマ周期=n/（クロック源周波数）						

8.7. リセット信号

電源入力時に自動的にリセット信号が発生します。

リセットはソフトウェアリセットコマンドでも実行できます。

ソフトウェアリセットコマンドとは、下図のように、ビットシーケンス01011000b(58h)を送信することで、コントロール1レジスタ（アドレス00h）のビット6,4,3を1に、他のビットを0にセットすることを意味します。



リセット後、下記モードが実行されます。

- 32,768kHzクロック出力有効化
- 24時間モードを選択
- 時刻調整オフセットレジスタを0にセット
- アラーム初期化
- タイマ無効化
- 割り込み初期化
- バッテリ切り替え無効化
- バッテリ低下検出無効化

8.7.1. レジスタリセット値

アドレス	機能	Bit 7	Bit 6	Bit 5	Bit 4	Bit 3	Bit 2	Bit 1	Bit 0
00h	コントロール 1	0	0	0	0	0	0	0	0
01h	コントロール 2	0	0	0	0	0	0	0	0
02h	コントロール 3	1	1	1	X	0	0	0	0
03h	秒カウンタ	1	-	-	-	-	-	-	-
04h	分カウンタ	X	-	-	-	-	-	-	-
05h	時カウンタ	X	X	-	-	-	-	-	-
06h	日カウンタ	X	X	-	-	-	-	-	-
07h	曜日カウンタ	X	X	X	X	X	-	-	-
08h	月カウンタ	X	X	X	-	-	-	-	-
09h	年カウンタ	-	-	-	-	-	-	-	-
0Ah	分アラーム	1	-	-	-	-	-	-	-
0Bh	時アラーム	1	X	-	-	-	-	-	-
0Ch	日アラーム	1	X	-	-	-	-	-	-
0Dh	週アラーム	1	X	X	X	X	-	-	-
0Eh	時刻調整オフセット	0	0	0	0	0	0	0	0
0Fh	タイマ・クロック出力	0	0	0	0	0	0	0	0
10h	タイマ A 用クロック	X	X	X	X	X	1	1	1
11h	タイマ A	-	-	-	-	-	-	-	-
12h	タイマ B 用クロック	X	0	0	0	X	1	1	1
13h	タイマ B	-	-	-	-	-	-	-	-

“-”と書かれたビットは電源入力時には元の値を保持し、書き換え時まで変更されません。

“X”とかかれたビットは使用されず、読み出し時に0に戻ります。

9. 機能詳細

9.1. 割り込み

$\overline{\text{INT_1}}$ / CLKOUT 及び $\overline{\text{INT_2}}$ で LOW レベル割り込み信号が使用されます。

$\overline{\text{INT_1}}$ / CLKOUT 端子は $\overline{\text{INT_1}}$ と CLKOUT の機能を兼ねています。

$\overline{\text{INT_1}}$ 端子には以下の割り込みを発生させることができます。

- 秒タイマ
- タイマA
- タイマB
- アラーム
- バッテリ切り替え
- バッテリ低下検出
- クロックオフセット補正パルス

$\overline{\text{INT_2}}$ 端子の出力はタイマBの割り込みのみ発生されます。

コントロールビット TAM (タイマ・クロック出力レジスタ) は 2 次割り込みタイマおよびタイマAから発生した割り込みをパルス信号にするかレベル信号にするかを設定するために使用されます。

コントロールビット TBM (タイマ・クロック出力レジスタ) はタイマBから発生した割り込みをパルス信号にするかレベル信号にするかを設定するために使用されます。

その他の割り込みは、フラグに従いレベル信号を発生します。

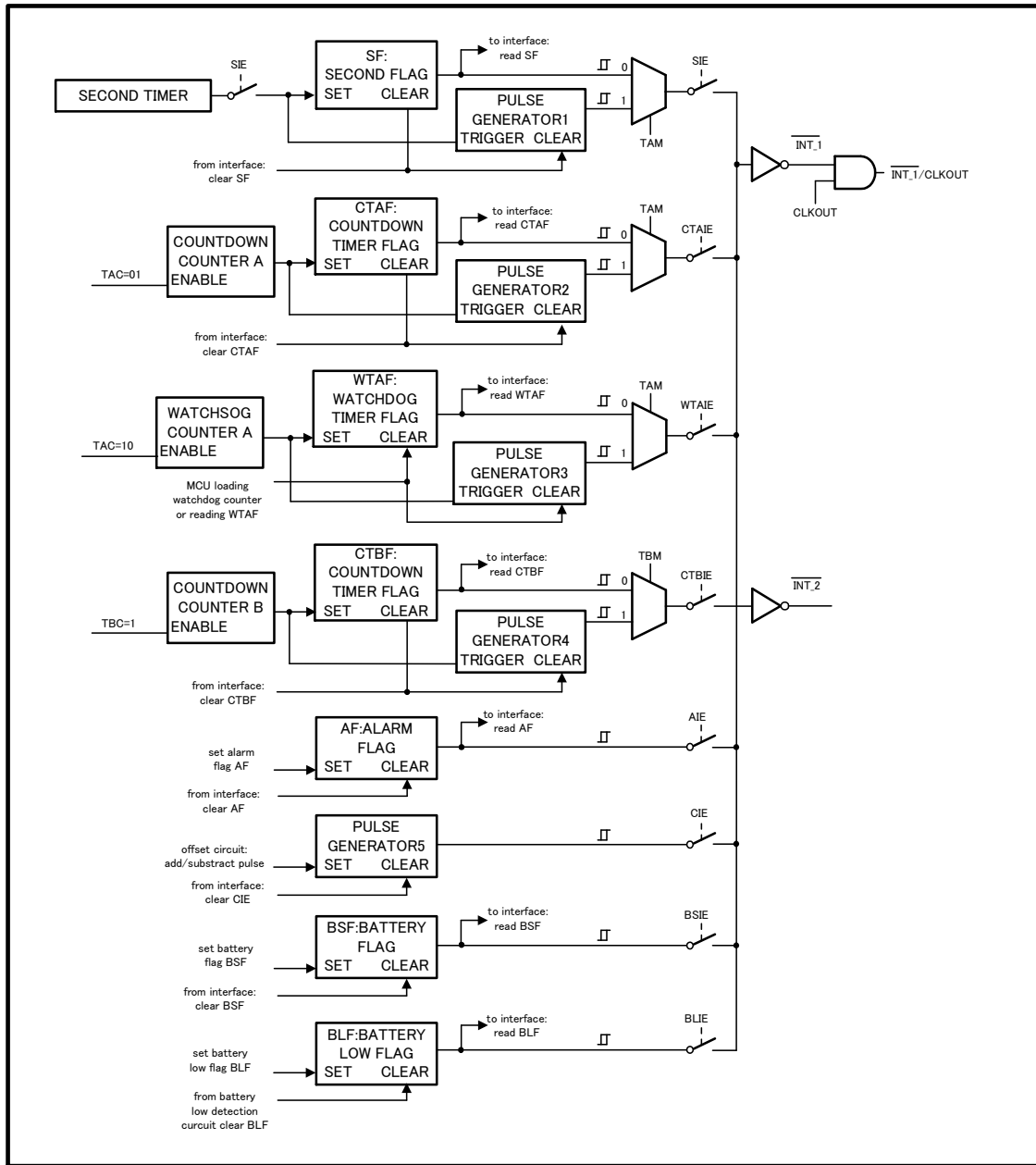
- SF, CTAF, CTBF, AF, BSF フラグは I²C インターフェースを使用してクリアされます。
- WTBFFラグは読み出し専用です。コントロール2レジスタ (アドレス 01h) を読み込むことで WTAF フラグがリセット (WTAF=0) され、割り込みがクリアされます。
- BLF フラグは読み出し専用です。BLF フラグはバッテリ交換時にバッテリ低下検出回路によって自動的にクリアされます。

RR-8523-C3

高速 I²C インターフェース超低消費電流リアルタイムクロック/カレンダーモジュール

RIVER

割り込みブロックダイアグラム



注記：

SIE,CTAIE, WTAIE, CTBIE, AIE, CIE, BSIE, BLIE,クロック出力が無効化されているとき、 $\overline{INT_1}$ 端子は高インピーダンスを維持。

CTBIEが無効化されているとき、 $\overline{INT_2}$ 端子は高インピーダンスを維持。

RR-8523-C3

高速 I²C インターフェース超低消費電流リアルタイムクロック/カレンダーモジュール

RIVER

9.2. パワーマネジメント

RR-8523-C3は2つの電源供給端子を備えています。

- V_{DD}-主電源入力端子
- V_{BAT}-バックアップ電源入力端子

RR-8523-C3 は 2 つのパワーマネジメント機能を備えています。

- バッテリ切り替え機能
- バッテリ低下検出機能

パワーマネジメント機能は、コントロールレジスタ 3（アドレス 02h）の PM[2:0]ビットでコントロールできます。

PM[2:0]	機能
000	スタンダードモードでバッテリ切り替え機能有効化 バッテリ低下検出機能有効化
001	直接切り替えモードでバッテリ切り替え有効化 バッテリ低下検出機能有効化
010, 011 ¹⁾	バッテリ切り替え機能無効化-主電源のみ バッテリ低下検出機能有効化
100	スタンダードモードでバッテリ切り替え機能有効化 バッテリ低下検出機能無効化
101	直接切り替えモードでバッテリ切り替え機能有効化 バッテリ低下検出機能無効化
110	設定不可値
111 ^{2) 3)}	バッテリ切り替え機能無効化-主電源のみ バッテリ低下検出機能無効化

- 1) バッテリ切り替え機能が無効化されている時、RR-8523-C3は主電源のみで動作します。
- 2) バッテリ切り替え機能が無効化されている時、RR-8023-C3は主電源のみで動作します。
V_{BAT}端子はグラウンドに接続する必要がある、バッテリ低下検出機能は無効化されます。
- 3) デフォルト値

9.2.1. スタンバイモード

主電源が供給されずバックアップ電源のみでRR-8523-C3が初めて起動したとき、RR-8523-C3は自動的にスタンバイモードに入ります。

スタンバイモード中、RR-8523-C3の主電源が投入されるまではバックアップ電流は流れません。
その後、主電源が供給されなくなると、バックアップ電源モードに切り替わります。

RR-8523-C3に主電源が供給されていて、バックアップ電源が接続されている時にも、スタンバイモードに移行することができます。

スタンバイモードに移行するためには、パワーマネジメントコントロールビットPM[2:0]に111をセットします。
その後、主電源を切る必要があります。
そうすることで、RR-8523-C3はスタンバイモードに入り、再度主電源が投入されるまでバックアップ電流は流れません。

9.2.2. バッテリ電源切り替え

RR-8523-C3はバックアップ電源切り替え回路を備えています。この回路は主電源電圧 V_{DD} をモニターし、電源故障を検出すると自動的にバックアップ電源に切り替えます。

2つのオペレーションモードが選択できます。

- ・スタンダードモード：主電源電圧 V_{DD} がバッテリ電圧 V_{BAT} 及び電源切り替え閾値 $V_{th(sw)bat}$ より低い時、電源故障を検出
- ・直接切り替えモード：主電源電圧 V_{DD} が単純にバッテリ電圧 V_{BAT} より低いとき、電源故障を検出
電源切り替え閾値 $V_{th(sw)bat}$ と主電源電圧 V_{DD} の比較は行わず、主電源からバッテリ電源を直接切り替える。

電源切り替え閾値 $V_{th(sw)bat}$ の代表値は2.5Vです。

バッテリ電源切り替え割り込みの発生はBSIEビット（コントロール2レジスタ）でコントロールされています。BSIEビットが有効化している場合、 $\overline{INT_1}$ の状態はBLFビット（コントロール3レジスタ）の設定に従います。BLFビットをクリアするとすぐ $\overline{INT_1}$ がクリアされます。

電源故障が検出され、電源がバッテリに切り替わるとき、下記の手順が実行されます。

1. バッテリ切り替えフラグBSF（コントロールレジスタ3）が1にセットされる。
2. BSIEビット（コントロールレジスタ3）が有効化されたとき、割り込み信号を発生。

バッテリ切り替えフラグBSFは、電源が主電源に切り替わったあと通信が行われると消去されます。このフラグは割り込みを消去するためにクリアする必要があります。

バックアップ起動時、インターフェースは無効化されます。

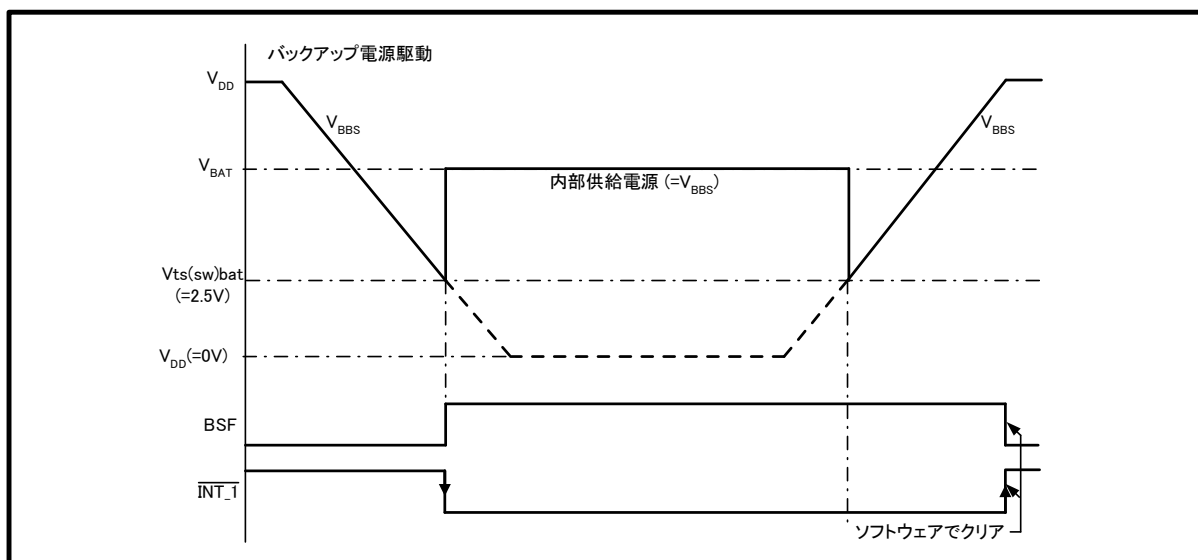
- ・インターフェースからの入力を無効化することで、デバイスへの不正な書き込みを防止
- ・インターフェースからの出力は高インピーダンス

○スタンダードモード

主電源電圧 V_{DD} がバッテリ電圧 V_{BAT} または電源切り替え閾値 $V_{th(sw)bat}$ より高いとき、主電源から電源を供給。

主電源電圧 V_{DD} がバッテリ電圧 V_{BAT} 及び電源切り替え閾値 $V_{th(sw)bat}$ より低い時、バッテリから電源供給。

スタンダードモードでBSIEビットに1（有効）がセットされているときの電源切り替え挙動



RR-8523-C3

高速 I²C インターフェース超低消費電流リアルタイムクロック/カレンダーモジュール

RIVER

○直接切り替えモード

主電源電圧 V_{DD} がバッテリー電圧 V_{BAT} より高いとき、主電源から電源を供給。

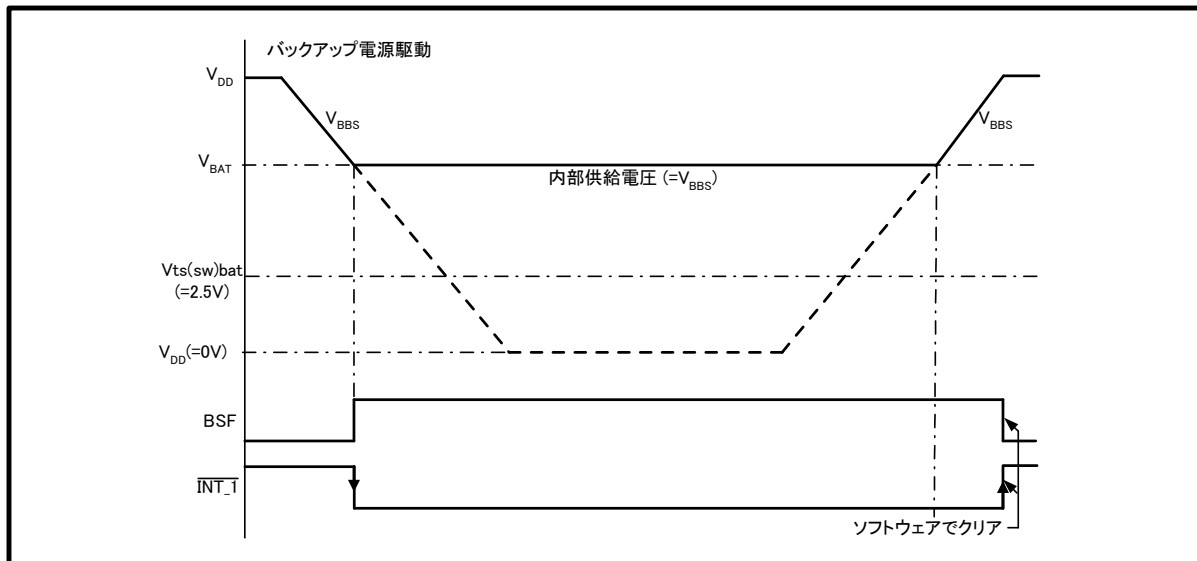
主電源電圧 V_{DD} がバッテリー電圧 V_{BAT} より低い時、バッテリーから電源供給。

直接切り替えモードシステム内で常に主電源電圧 V_{DD} がバッテリー電圧 V_{BAT} より高いとき（例 $V_{DD} = 5\text{ V}$, $V_{BAT} = 3.5\text{ V}$ ）役に立ちます。

主電源電圧 V_{DD} とバッテリー電圧 V_{BAT} が近い場合は、（例 $V_{DD} = 3.3\text{ V}$, $V_{BAT} \geq 3.0\text{ V}$ ）直接切り替えモードはお勧めできません。

直接切り替えモード中、主電源電圧 V_{DD} をモニターしておらず、電源切り替え閾値 $V_{th(sw)bat}$ を設定していないため、スタンダードモードより消費電力が少なくなります。

スタンダードモードでBSIEビットに1（有効）がセットされているときの電源切り替え挙動



○電源切り替え無効化、主電源 V_{DD} のみ

電源切り替え機能が無効化されている時

- 電力は主電源から供給
- V_{BAT} 端子はグランドに接続
- バッテリー切り替えフラグ（BSF）は常に0

9.2.3. バッテリ低下検出

RR-8523-C3はバッテリ低下検出回路を備えています。この回路はバッテリ電圧 V_{BAT} をモニターします。

バッテリ低下検出割り込みの発生はBLIEビット（コントロール3レジスタ）で制御できます。BLIEビットが無効化されている場合、 $\overline{INT_1}$ 端子の出力はBLFビット（コントロール3レジスタ）の設定に従います。

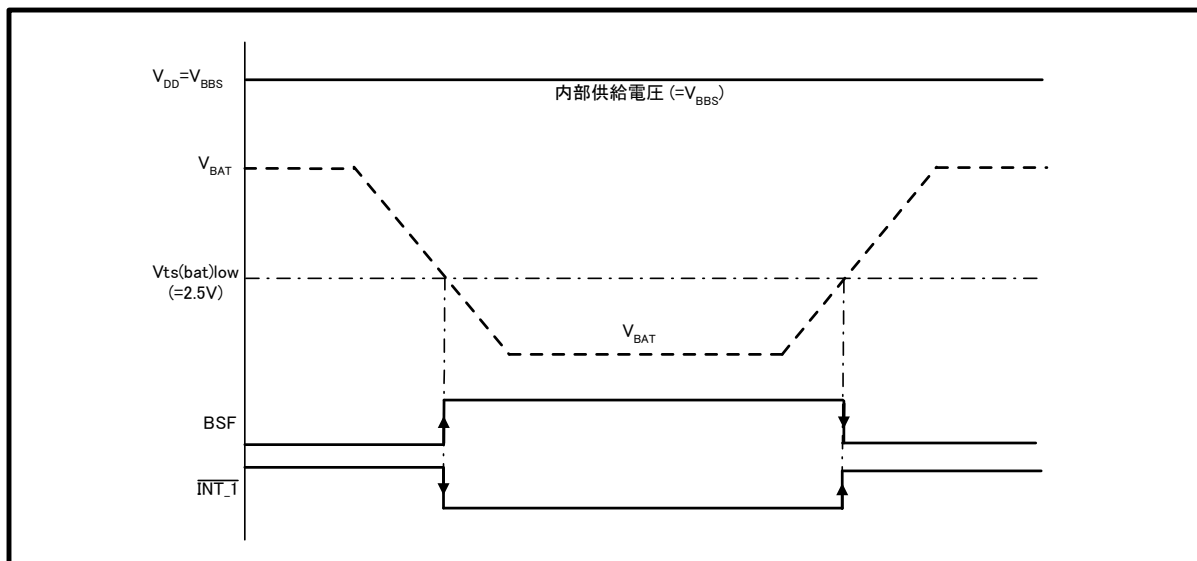
バッテリ電圧 V_{BAT} がバッテリ低下検出閾値 $V_{th(bat)LOW}$ （代表値2.5V）より低下した時、バッテリが低下し交換する必要があることを知らせるためBLFフラグ（コントロールレジスタ3）がセットされます。バッテリ電圧はバッテリ電源起動時もモニターされます。

バッテリ電源起動時にバッテリが低下した場合、データの精度は保証されません。

バッテリ電圧 V_{BAT} がバッテリ低下検出閾値 $V_{th(bat)LOW}$ より下がったとき、以下のシーケンスが実行されます

1. バッテリ低下フラグBLFに1をセット
2. バッテリ低下検出コントロールビットBLIE（コントロール3レジスタ）が有効化されている場合、割り込みを発生。バッテリが交換される（BLFに0がセットされる）か、BLIEビットが無効化（0をセット）されるまで割り込みは継続。
3. バッテリが交換されても、BLFフラグ（コントロールレジスタ3）は1を維持します。BLFビットはインターフェースではクリアできません。バッテリ交換時にバッテリ低下検出回路によって自動的にBLFビットがクリアされます。

BLIE ビットを 1 にセット（有効化）した時のバッテリ低下検出挙



9.3. 発振器停止フラグ

発振器が停止するとOSフラグがセットされます。このフラグはインターフェースを介してクリアされるまでセットされ続けます。

発振器が停止しているとき、OSフラグをクリアすることはできません。

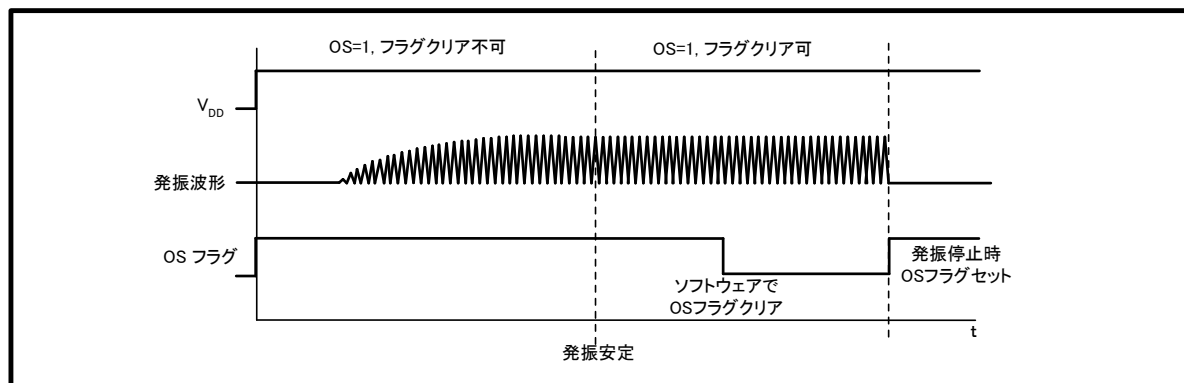
このメソッドは発振器をモニターするために使用されます。

発振器は電源投入から振幅が安定するまでの間、停止しているとみなされます。

この時間は温度や電源電圧によって200msから2秒まで変動する可能性があります。

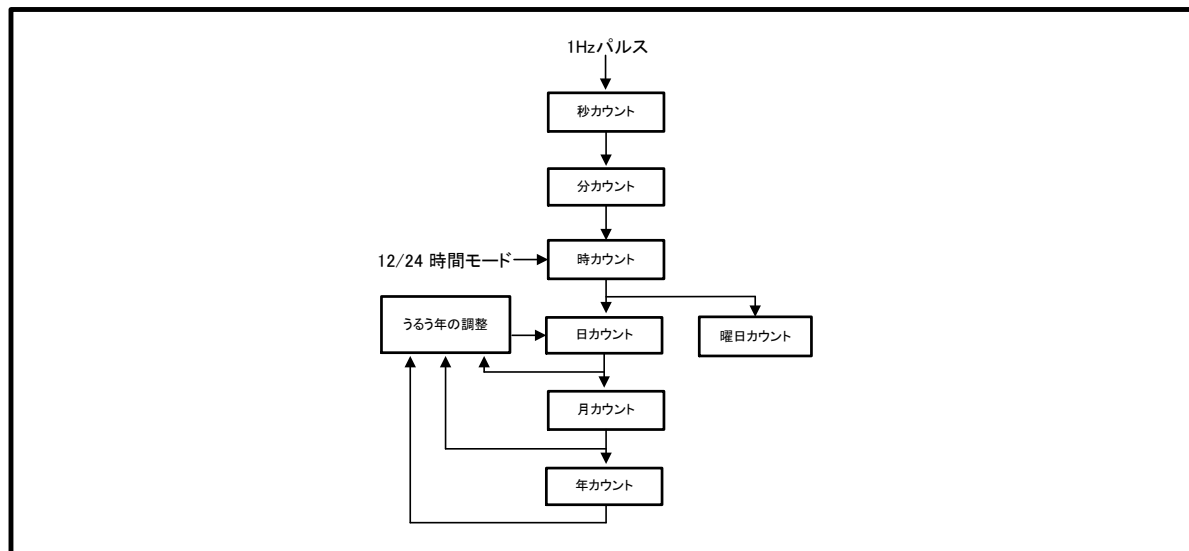
電源投入時、OSフラグがセットされています。

OS フラグ :



9.4. 時計機能のデータフロー

1Hzクロックから時間データが作成されるデータフローとデータ依存関係 :



RR-8523-C3

高速 I²C インターフェース超低消費電流リアルタイムクロック/カレンダーモジュール

RIVER

読み出し、書き込み時、カウンタレジスタ(レジスタアドレス 03h~09h)はブロックされます。

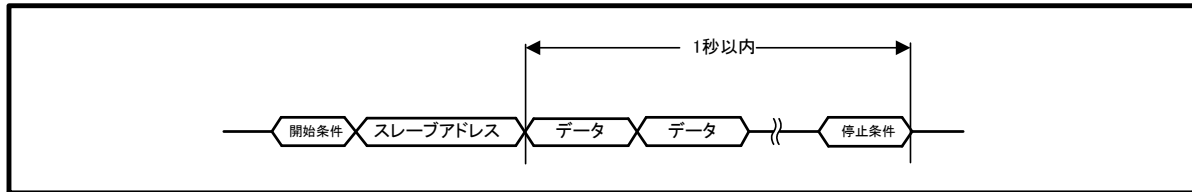
これにより以下のことを防止できます。

- データ通信中のクロック、カレンダーデータの読み出しエラー
- データ読み出し中の時間カウント値の増加

読み出し、書き込みアクセス完了後、時刻カウンタが再度解放され、読み出し、書き込みアクセス中に実行されるはずだった時刻カウント値の増加が要求されます。

1回の要求で最大データ量が蓄積できます。しかし、全てのアクセスは1秒以内に完了させる必要があります。

読み出し、書き込みオペレーションのアクセス時間：



秒～年レジスタの書き込み又は読み出しを1回のアクセスで終了させることが望ましいです。

時間データ（秒～時）を1回目のアクセスで、2回目のアクセスでデータがセットされた場合、2回のアクセスの間の時間カウント値が増加される可能性があります。

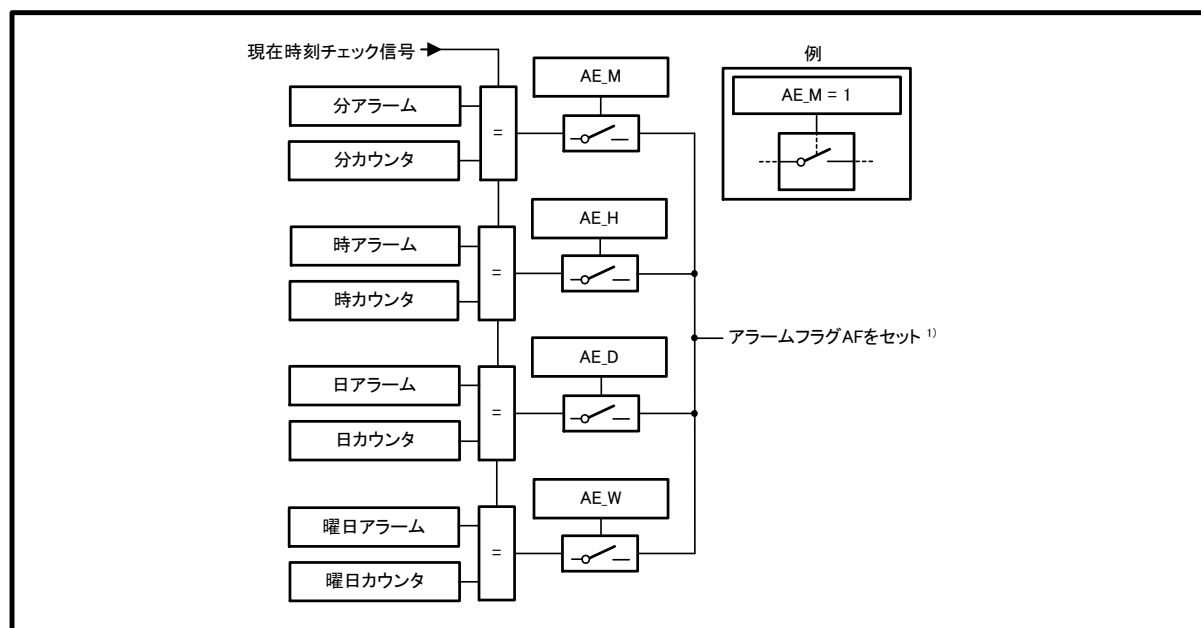
読み出しを2回に分けても、ロールオーバーが起こる可能性があります。

時間読み出しの推奨メソッド：

1. 開始条件と書き込みのためのスレーブアドレス（D0h）を送信
2. 03hを送信してレジスタアドレスを3（秒カウンタ）にセット
3. 再開条件（停止条件後すぐ開始条件）を送信
4. 読み出しのためのスレーブアドレス（D1h）を送信
5. 秒カウンタを読み出し
6. 分カウンタを読み出し
7. 時カウンタを読み出し
8. 日カウンタを読み出し
9. 曜日カウンタを読み出し
10. 月カウンタを読み出し
11. 年カウンタを読み出し
12. 停止条件を送信

9.5. アラームフラグ

アラーム機能ブロックダイアグラム：



1) 有効なアラーム設定が全てマッチングしたときのみアラームフラグがセットされます。

いくつかのアラームレジスタに有効な分、時、日、曜日アラーム値がセットされ、対応するアラーム有効化ビット (AE-x) の値が 0 の時、アラーム値は現在の分、時、日、曜日カウンタ値と比較されます。有効化した全てのアラーム値がカウンタ値とマッチングした時、アラームフラグ AF (コントロール2レジスタ) が 1 にセットされます。

AIEビット (コントロール1レジスタ) でアラーム機能による割り込みの発生を制御できます。

AIEビットが有効化されている場合、INT₁ 端子の出力はAFビットの設定に従います。

AFフラグはインターフェースによってクリアされるまでセットされ続けます。

AFフラグがクリアされると、時間カウンタが一周してもう一度アラーム設定値にマッチングした時のみ再度フラグが設定されます。

AE_xビットの値が1の場合、そのレジスタ値は無視されます。

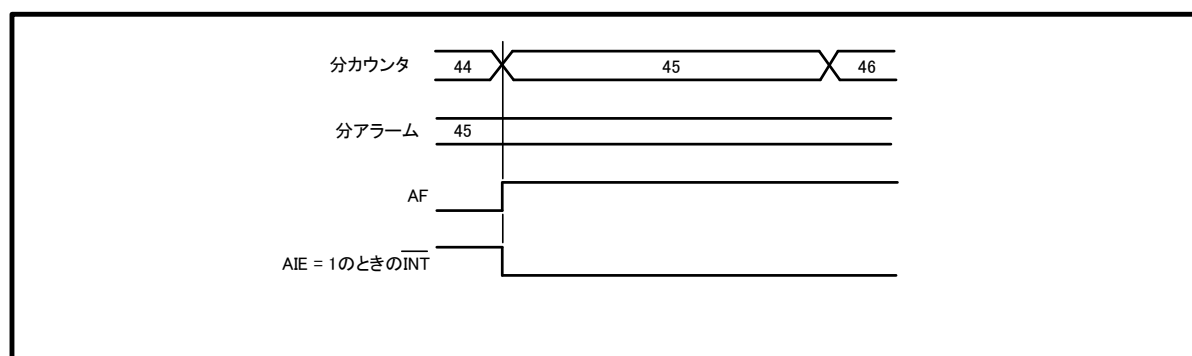
アラーム機能による割り込みの発生は、9.1節にさらに詳しく述べられています。

次のページの表は、AFビットをクリアする例を示しています。

AFビットは書き込みコマンドでクリアされ、ビット2,1,0の値は以前の値と同じ値をもう一度書き込む必要があります。

これらのビットへ同じ値を上書きすることによる影響はありません。

アラームフラグタイミング



AF ビットをクリアしている間にタイマフラグがセットされてしまわないように、書き込み中に論理積 AND が実行されます。

ビットに 1 が書き込まれてフラグがセットされている時に、ビットに 0 を書き込むとフラグがクリアされます。ビットに 1 が書き込まれてフラグがセットされている時に、ビットに 1 を書き込むとフラグは残ったままになります。（手でフラグをセットすることはできません。）

コントロールレジスタ2のフラグ配置：

アドレス	機能	Bit 7	Bit 6	Bit 5	Bit 4	Bit 3	Bit 2	Bit 1	Bit 0
01h	コントロール 2	WTAF	CTAF	CTBF	SF	AF	-	-	-

下表はAFビットをクリアするために送信すべき値を表しています。
この例では、CTAF,CTBF,SFフラグには影響を与えません。

AFビット（Bit3）のみクリアする例：

アドレス	機能	Bit 7	Bit 6	Bit 5	Bit 4	Bit 3	Bit 2	Bit 1	Bit 0
01h	コントロール 2	0	1	1	1	0	-	-	-

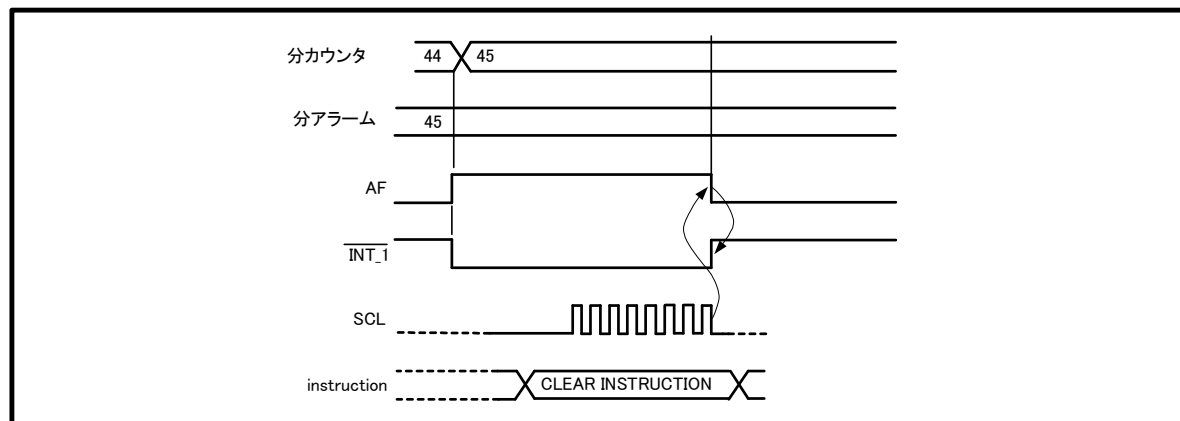
注記：

“-”と書かれたビットには以前の値を再度書き込んでください。

9.6. アラーム割り込み

AIEビット（コントロール1レジスタ）でアラーム割り込みを制御できます。AIEビットが有効化されている場合、INT_1 端子の出力はAFビットの設定に従います。AFビットをクリアするとすぐINT_1 がクリアされます。アラーム割り込みにはパルス信号を使用できません。

分アラームのみが割り込みに使用され、他の割り込みが無効化されている時の例：



9.7. 校正

9.7.1. MODE=0の時の校正

2時間に1回校正が行われ、プログラムされた校正值を満たすまで補正パルスが1分置きに発生します。

MODE=0の時の補正パルス：

補正パルスステップ数	アップデート実行時刻	アップデート実行 分カウンタ値	1分当たりのINT_1 出力 の 補正パルス数 ¹⁾
+1 or -1	偶数	00	1
+2 or -2	偶数	00,01	1
+3 or -3	偶数	00,01,02	1
⋮	⋮	⋮	⋮
+59 or -59	偶数	00 ~ 58	1
+60 or -60	偶数	00 ~ 59	1
+61 or -61	偶数	00 ~ 59	1
	奇数	00	1
+62 or -62	偶数	00 ~ 59	1
	奇数	00,01	1
+63 or -63	偶数	00 ~ 59	1
	奇数	00,01	1
+64	偶数	00 ~ 59	1
	奇数	00,01,02,03	1

1) INT_1 出力の補正パルス幅は1/64秒

MODE=0 の時、64Hz 以下の周波数を使用している全てのタイマ、クロック出力はクロック補正の影響を受けます。

MODE=0の時のクロック補正効果：

クロック出力周波数(Hz)	補正効果	タイマのソースクロック 周波数(Hz)	補正効果
32'768	効果なし	4'096	効果なし
16'384	効果なし	64	効果なし
8'192	効果なし	1	効果あり
4'096	効果なし	1/60	効果あり
1'024	効果なし	1/3600	効果あり
32	効果あり	-	-
1	効果あり	-	-

RR-8523-C3

高速 I²C インターフェース超低消費電流リアルタイムクロック/カレンダーモジュール

RIVER

9.7.2. MODE=1 の時の校正

1分に1回校正が行われ、補正パルスは1秒に1回、最大60パルス発生します。
60パルスより大きい補正值を使用する時は、カウンタ値59秒の間に補正パルスが追加されます。

MODE=1の時にはさらに頻繁にクロック補正が行われますが、それに伴い消費電流も大きくなります。

MODE=1の時の補正パルス：

補正パルスステップ数	アップデート実行 分カウンタ値	アップデート実行 秒カウンタ値	1秒当たりのINT_1出力の 補正パルス数 ¹⁾
+1 or -1	毎分	00	1
+2 or -2	毎分	00, 01	1
+3 or -3	毎分	00, 01, 02	1
⋮	⋮	⋮	⋮
+59 or -59	毎分	00 ~ 58	1
+60 or -60	毎分	00 ~ 59	1
+61 or -61	毎分	00 ~ 58 59	1 2
+62 or -62	毎分	00 ~ 58 59	1 3
+63 or -63	毎分	00 ~ 58 59	1 4
+64	毎分	00 ~ 58 59	1 5

1) $\overline{\text{INT}_x}$ 端子の補正パルス幅は1/4094秒。複数のパルスを発生させるために、1/2048秒のインターバルにおいてパルスが繰り返される。

MODE=1の時、4.096kHz以下の周波数を使用している全てのタイマ、クロック出力もクロック補正の影響を受けます。

MODE=1の時のクロック補正効果：

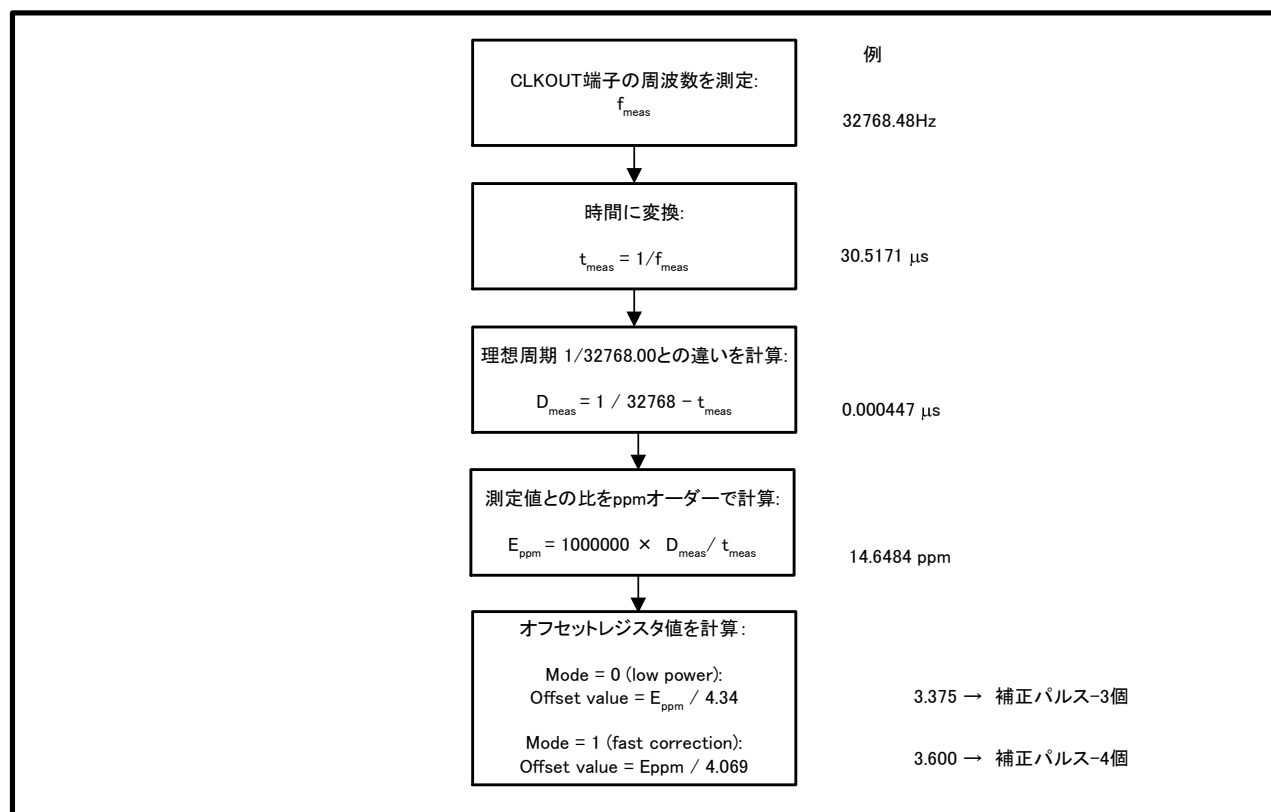
クロック出力周波数(Hz)	補正効果	タイマのソースクロック 周波数(Hz)	補正効果
32'768	効果なし	4'096	効果なし
16'384	効果なし	64	効果あり
8'192	効果なし	1	効果あり
4'096	効果なし	1/60	効果あり
1'024	効果なし	1/3600	効果あり
32	効果あり	-	-
1	効果あり	-	-

9.7.3. 校正ワークフロー

オフセット値は、時間ベースで計算されます。

下図はオフセット値の計算方法のワークフローを示しています。

オフセット値計算ワークフロー：



9.8. クロック出力周波数選択

クロック出力はタイマ・クロック出力レジスタのCOF[2:0]ビットで制御されています。
システムクロック、マイクロコントローラクロック、チャージポンプへの入力、発振器の校正に使用するために32.768kHz（デフォルト値）~1Hzの周波数を発生させることができます。（下表参照）

オープンドレイン出力の $\overline{\text{INT_1}}$ 端子,CLKOUT端子から、周波数選択可能な矩形波が発生します。
 $\overline{\text{INT_1}}$ 端子は、 $\overline{\text{INT_1}}$ とCLKOUTの機能を併せ持っています。

選択したクロックのデューティサイクルは制御できませんが、クロックの発生原理から、32.768kHzを除く全てのクロック周波数のデューティサイクルは50 : 50になります。

選択した周波数によっては、STOPビット機能もCLKOUT信号に影響を与えます。
STOPビットが有効化されている時、32.768kHz,16.384kHz,8.192kHzを除くすべての周波数で、 $\overline{\text{INT_1}}$ /CLKOUT端子は高インピーダンスになります。
詳細は、9.10.節をご参照下さい。

COF[2:0]	出力周波数(Hz)	デューティサイクル代表値 ¹⁾	STOP ビットの効果
000 ²⁾	32'768	60 : 40 to 40 : 60	効果なし
001	16'384	50 : 50	効果なし
010	8'192	50 : 50	効果なし
011	4'096	50 : 50	CLKOUT 端子=高インピーダンス
100	1'024	50 : 50	CLKOUT 端子=高インピーダンス
101	32	50 : 50 ³⁾	CLKOUT 端子=高インピーダンス
110	1	50 : 50 ³⁾	CLKOUT 端子=高インピーダンス
111	CLKONT 端子無効化(高インピーダンス)		

1) デューティサイクルの定義 HIGH-LEVEL時間 (%) : LOW-LEVEL時間 (%)

2) デフォルト値

3) クロック周波数はオフセット校正の影響を受ける。

9.9. タイマ

プログラム可能なタイマ特性：

TAQ[2:0] TBQ[2:0]	タイマクロック源周波数	最短タイマ周期(n=1)	最長タイマ周期(n=255)
000	4.096 kHz	244 μ s	62.256 ms
001	64 Hz	15.625 ms	3.984 s
010	1 Hz	1 s	255 s
011	1/60 Hz	1 min	255 min
111 110 100	1/3600 Hz	1 hour	255 hour

9.9.1. タイマ A

タイマ・クロック出力レジスタ (0Fh) のTAC[1:0]ビットフィールドで、タイマAをカウントダウタイマ (TAC[1:0] = 01) か、ウォッチドッグタイマ (TAC[1:0] = 10) のどちらかに設定できます。

○ウォッチドッグタイマ機能：

タイマAクロックレジスタ (10h) にあるTAQ[2:0]の3桁のビットで4.906kHz, 64 Hz, 1 Hz, 1/60 Hz, 1/3600 Hzの5つの周波数のうち一つを選択することができます。(8.6.2.項参照)

ウォッチドッグタイマから発生する割り込みはWTAIEビット (コントロール2レジスタ) で制御できます。

ウォッチドッグタイマが設定されている時 (TAC[1:0] = 10)、タイマAレジスタ (11h) の8ビットのタイマ値がウォッチドッグタイマ周期を決定します。

ウォッチドッグタイマは、タイマAレジスタ (11h) 内の値n (カウントダウン値) からカウントを開始します。カウンタ値が1になったとき、タイマクロックの立ち上がりエッジをトリガーとして、ウォッチドッグタイマフラグWTAF (コントロール2レジスタ) が1にセットされます (下図参照)。

このとき：

- WTAIE = 1の場合、割り込みが発生
- WTAIE = 0の場合、割り込み発生せず

タイマAウォッチドッグタイマ機能から発生した割り込みはパルス信号またはレベル信号として発生します。TAMビット (タイマ・クロック出力レジスタ) は割り込み発生モードを制御するために使用されます。カウンタは自動的にリロードされません。

0以外のカウントダウン値nがカウンタにロードされたとき、

- WTAFフラグをリセット (WTAF=0)
- 割り込みをクリア
- ウォッチドッグタイマ開始

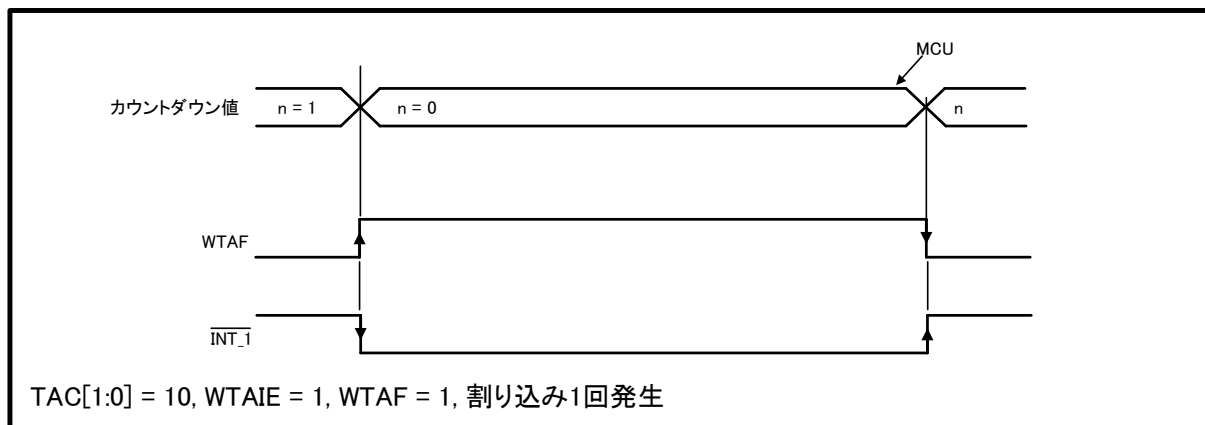
カウンタにカウントダウン値 n=0 がロードされたとき

- WTAFフラグをリセット (WTAF=0)
- 割り込みをクリア
- ウォッチドッグタイマ停止

WTAF フラグは読み出し専用です。

コントロール2レジスタ (01h) を読み込むと自動的にWTAFフラグがリセット (WTAF=0) され、割り込みがクリアされます。

タイムアウト時のウォッチドッグ割り込み発生：

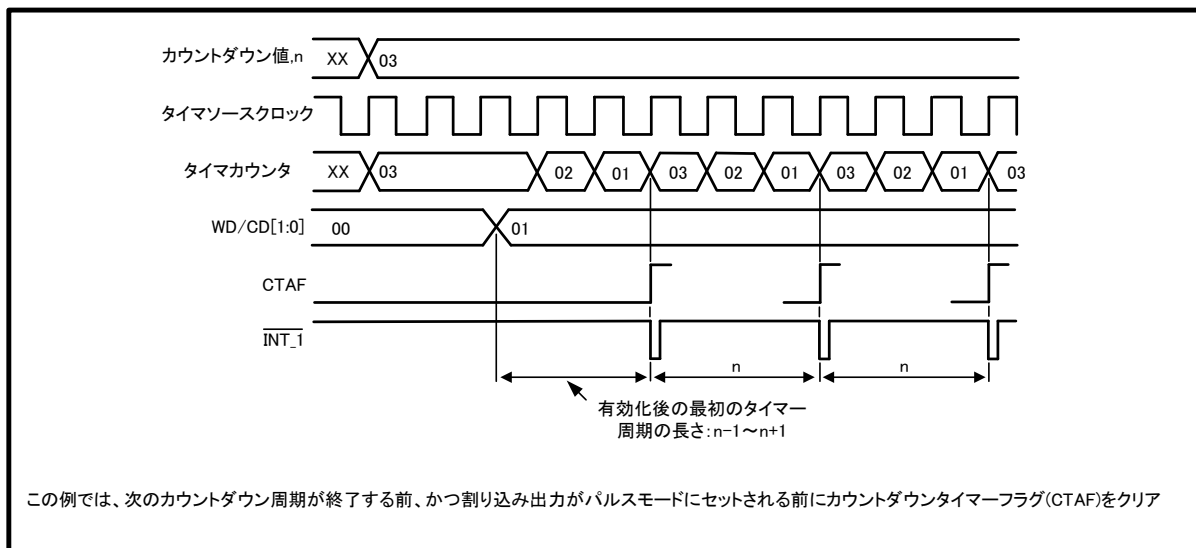


○カウントダウンタイマ機能

タイマAがカウントダウンタイマとして設定されている時（TAC[1:0] = 01）、タイマAはタイマAレジスタの8ビットの2進数n（カウントダウン値）からカウントダウンを開始します。
カウンタが1になったとき、下記のイベントが次のタイマクロック立ち上がりエッジをトリガーとして起こります。（下図参照）

- ・ カウントダウンタイマAフラグCTAF（コントロール2レジスタ）に1をセット。
- ・ 割り込み発生有効時（CTAIE = 1）、 $\overline{\text{INT_1}}$ 端子に割り込みを発生
- ・ カウンタを自動的にリロード
- ・ 次のタイマ周期を開始

一般的なカウントダウンタイマ A の挙動：



カウントダウン終了ごとに、タイマはカウントダウンタイマフラグ CTAF（コントロール 2 レジスタ）をセットします。

CTAFフラグはインターフェースを介してのみクリアできます。フラグのクリア方法は9.5節に記載しています。

タイマ読み出し時、初期値nではなく、現在のカウントダウン値が読み出されます。
読み出し中はカウントダウンタイマカウンタをフリーズできないため、正しいカウント値を知るためにカウンタを再度読み込んでチェックすることをお勧めします。

現行のタイマ周期が終わる前に新しいnの値が書き込まれた場合、新しく書き込まれた値からカウントを開始します。

TAC[1:0]=00（タイマ・クロック出力レジスタ）に設定してタイマAを有効化したままカウントダウン値nを変更することはご遠慮ください。

カウントダウン値nのアップデートはタイマクロックとは同期していません。

そのため、その場でカウントダウン値nを変更するとカウントダウンタイマからロードされた値が破壊される恐れがあります。

これは、最初のカウントダウン周期を乱す原因になります。カウントダウン値nは、次のタイマ周期で正しく記憶、ロードされます。

カウンタに0をロードすると効果的にタイマを停止できます。

カウントダウンタイマをスタートさせた時、最初のタイマ周期のみ、周期が乱れます。選んだソースクロックによって最初のタイマ周期が乱れる量が変わります。下表を参照してください。

タイマカウント値 n による最初のタイマ周期の乱れ：

タイマクロック源周波数	最短タイマー周期	最長タイマー周期
4.096 kHz	n	$n + 1$
64 Hz	n	$n + 1$
1 Hz	$(n - 1) + 1/64 \text{ Hz}$	$n + 1/64 \text{ Hz}$
1/60 Hz	$(n - 1) + 1/64 \text{ Hz}$	$n + 1/64 \text{ Hz}$
1/3600 Hz	$(n - 1) + 1/64 \text{ Hz}$	$n + 1/64 \text{ Hz}$

カウントダウンタイマからの割り込み発生は、CTAIEビット（コントロール2レジスタ）で制御されています。

割り込み発生が有効化されていて（CTAIE = 1）、カウントダウンタイマフラグCTAFに1がセットされている時、 $\overline{\text{INT_1}}$ 端子に割り込みが発生します。

割り込みは、CTAFフラグ（コントロール2レジスタ）の状態に従い、カウントダウン周期毎のパルス信号またはレベル信号として発生します。

TAMビット（タイマ・クロック出力レジスタ）でパルス・レベルを選択します。

割り込み出力はCTAIEビット（コントロール2レジスタ）で無効化できます。

9.9.2. タイマ B

タイマBはカウントダウンタイマとしてのみ使用され、タイマ・クロック出力レジスタ（0Fh）のTBCビットで有効化、無効化の切り替えができます。

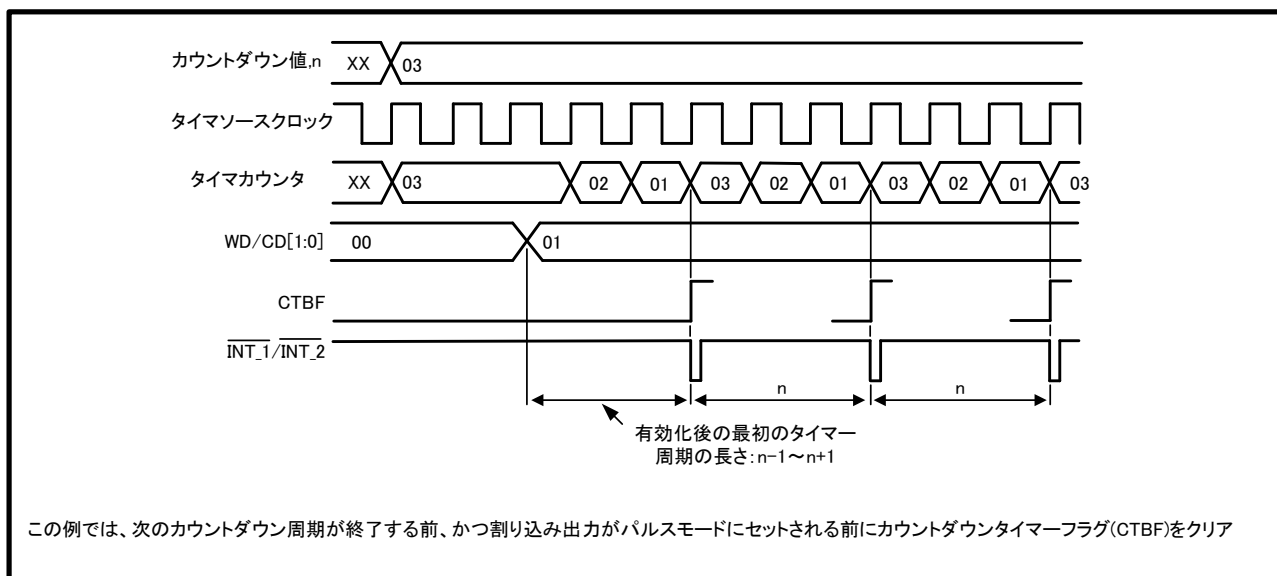
カウントダウンタイマから発生する割り込みはCTBIEビット（コントロール2レジスタ）で制御されます。

有効化されている場合、タイマBレジスタ（13h）の8ビットの2進数 n （カウントダウン値）からカウントが開始されます。

カウンタが1に到達した時、次のタイマクロックの立ち上がりエッジをトリガーとして以下のイベントが発生します。（下図参照）

- ・ カウントダウンタイマフラグCTBF（コントロール2レジスタ）に1をセット。
- ・ 割り込み発生有効時（CTBIE = 1）、 $\overline{\text{INT_1}}$ 端子、 $\overline{\text{INT_2}}$ 端子に割り込みを発生
- ・ カウンタを自動的にリロード
- ・ 次のタイマ周期を開始

一般的なカウントダウンタイマ B の挙動：



カウントダウン終了ごとに、タイマはカウントダウンタイマフラグ CTBF（コントロール2レジスタ）をセットします。

CTBFフラグはインターフェースを介してのみクリアできます。フラグのクリア方法は9.5.節に記載しています。

タイマ読み出し時、初期値nではなく、現在のカウントダウン値が読み出されます。読み出し中はカウントダウンタイマカウンタをフリーズできないため、正しいカウント値を知るためにカウンタを再度読み込んでチェックすることをお勧めします。

現行のタイマ周期が終わる前に新しいnの値が書き込まれた場合、新しく書き込まれた値からカウントを開始します。

TBCビット（タイマ・クロック出力レジスタ）を0に設定して最初にタイマBを有効化したままカウントダウン値nを変更することはご遠慮ください。

カウントダウン値nの変更はタイマクロックとは同期していません。

そのため、その場でカウントダウン値nを変更するとカウントダウンタイマからロードされた値が破壊される恐れがあります。

これは、最初のカウントダウン周期を乱す原因になります。カウントダウン値nは、次のタイマ周期で正しく記憶、ロードされます。

カウンタに0をロードすると効果的にタイマを停止できます。

カウントダウンタイマをスタートさせた時、最初のタイマ周期のみ、周期が乱れます。

選んだソースクロックによって最初のタイマ周期が乱れる量が変わります。9.9.1.項を参照してください。

割り込み発生が有効化されていて（CTBIE = 1）、カウントダウンタイマフラグ CTBF に 1 がセットされている

時、 $\overline{\text{INT}}_1$ と $\overline{\text{INT}}_2$ に割り込みが発生します。

割り込みは、それはCTBFフラグ（コントロール2レジスタ）の状態に従い、カウントダウン周期毎のパルス信号または定常的なレベル信号として発生します。

TBMビット（タイマ・クロック出力レジスタ）でパルス・レベルを選択します。割り込み出力はCTBIEビット（コントロール2レジスタ）で無効化できます。

9.9.3. 秒割り込みタイマ

RR-8523-C3は1秒間に 1 回の割り込みを発生させるためのタイマを備えています。

秒割り込みタイマのパルスジェネレータは64Hzの内部クロックで動作し、パルス幅1/64秒のパルスを発生します。

このタイマは、ウォッチドッグタイマやカウントダウンタイマとは独立していて、コントロール1レジスタ（00h）のSIEビットで有効化、無効化を切り替えることができます。

秒割り込みタイマによって発生した割り込みは、1秒置きに発生するパルス信号またはレベル信号として発生します。

割り込み発生モードを制御するためにTAMビット（タイマ・クロック出力レジスタ）が使用されます。

秒割り込みタイマが有効化されている時（SIE = 1）、タイマはSFフラグ（コントロール2レジスタ）を1秒ごとに発生します。（下表参照）

SFフラグはインターフェースを介してのみクリアされます。フラグをクリアする方法は9.5.節に記載されています。

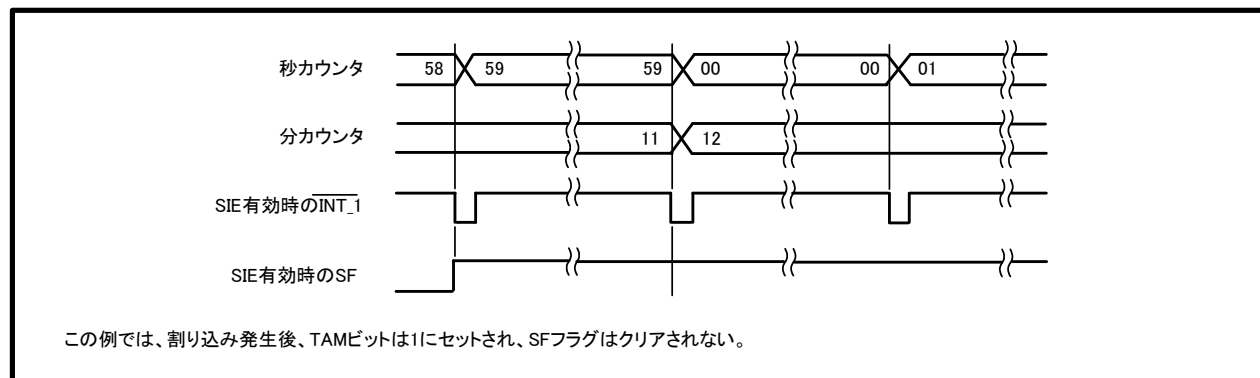
SIEビットの $\overline{\text{INT}}_1$ 端子とSFビットに与える効果：

SIE ビットの設定	$\overline{\text{INT}}_1$ の状態	SF ビットの状態
0	割り込み発生せず	SF ビットセットされず
1	1 秒に 1 回割り込み発生	秒カウンタ増加時、SF ビットをセット

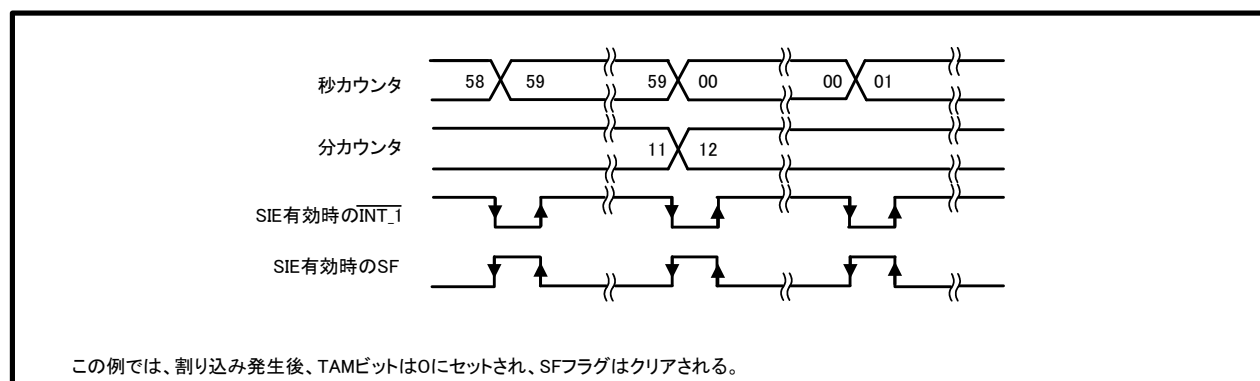
SFフラグが1の時：

- TAMビット（タイマ・クロック出力レジスタ）が 1 の場合、割り込みは1秒ごとのパルス信号として発生
- TAMビットが0の場合、SFビットがクリアされるまで、割り込みはレベル信号として発生

TAM=1 のときの秒割り込みパルスの例：



TAM=0のときの秒割り込みパルスの例：



9.9.4. タイマ割り込みパルス

TAMビットまたはTBMビットが1にセットされたとき、タイマ割り込みはパルス信号として発生します。タイマ割り込み用パルスジェネレーターも内部クロックを使用しますが、この場合の割り込みパルス幅は、内部クロックはタイマ用に選択したソースクロックとタイマレジスタのカウントダウン値nに依存します。そのため、割り込みパルス幅は下表のようになります。

タイマA用割り込みLOWパルス幅（パルスモード、TAMビットを1にセット）：

クロック源周波数	割り込みパルス幅	
	n = 1 ¹⁾	n > 1 ¹⁾
4.096 kHz	122 μs	244 μs
64 Hz	7.812 ms	15.625 ms
1 Hz	15.625 ms	15.625 ms
1/60 Hz	15.625 ms	15.625 ms
1/3600 Hz	15.625 ms	15.625 ms

¹⁾ n=タイマレジスタからロードされた値。n=0になったときタイマ停止。

タイマ B 使用時、割り込みパルス幅は TBM ビット（タイマ・クロック出力レジスタ）で設定できます。

タイマB用割り込みLOWパルス幅（パルスモード、TAMビットを1にセット）：

クロック源周波数	割り込みパルス幅	
	n = 1 ¹⁾	n > 1 ¹⁾
4.096 kHz	122 μs	244 μs
64 Hz	7.812 ms	8.6.4.節参照 ²⁾
1 Hz	8.6.4.節参照	：
1/60 Hz	：	：
1/3600 Hz	：	：

1) n=タイマレジスタからロードされた値。n=0になったときタイマ停止。

2) パルス幅がTBW[2:0]ビットの設定より短くなった場合、割り込みパルス幅は15.625msに設定される。

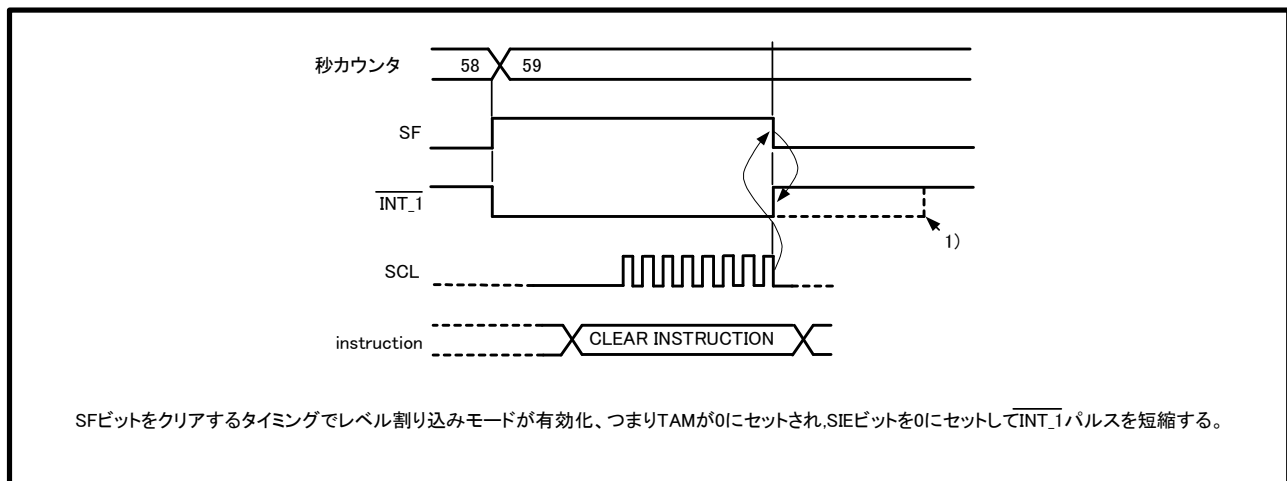
SF,CTAF,WTAF,CTBFといったフラグが割り込みパルス終了前にクリアされたとき、割り込みパルスは短縮されます。

これにより、システム割り込みが発生した時、直ぐに割り込みをクリアできるので、システムがカウント前のパルスが完了するのを待つ必要がなくなります。

下図参照。各フラグのクリア方法は9.5.節に記載しています。

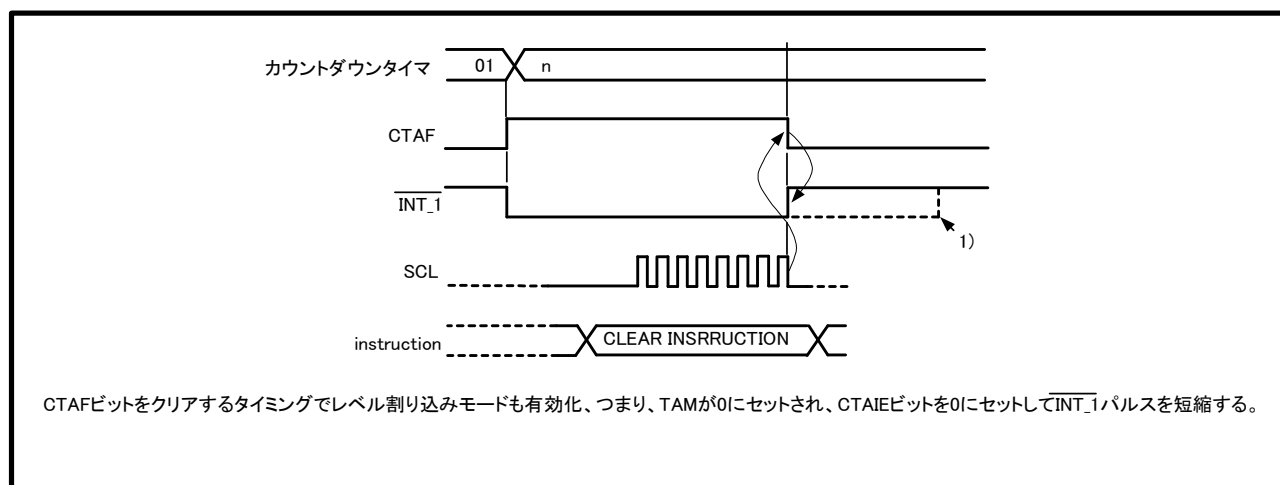
WTAFフラグのクリア方法は9.9.1.項に記載しています。

SFフラグクリア時の $\overline{\text{INT_1}}$ のパルス短縮例：



1) 通常時の $\overline{\text{INT_1}}$ パルス幅

CTAF フラグクリア時の $\overline{\text{INT_1}}$ のパルス短縮例：



1) 通常時の $\overline{\text{INT_1}}$ パルス幅

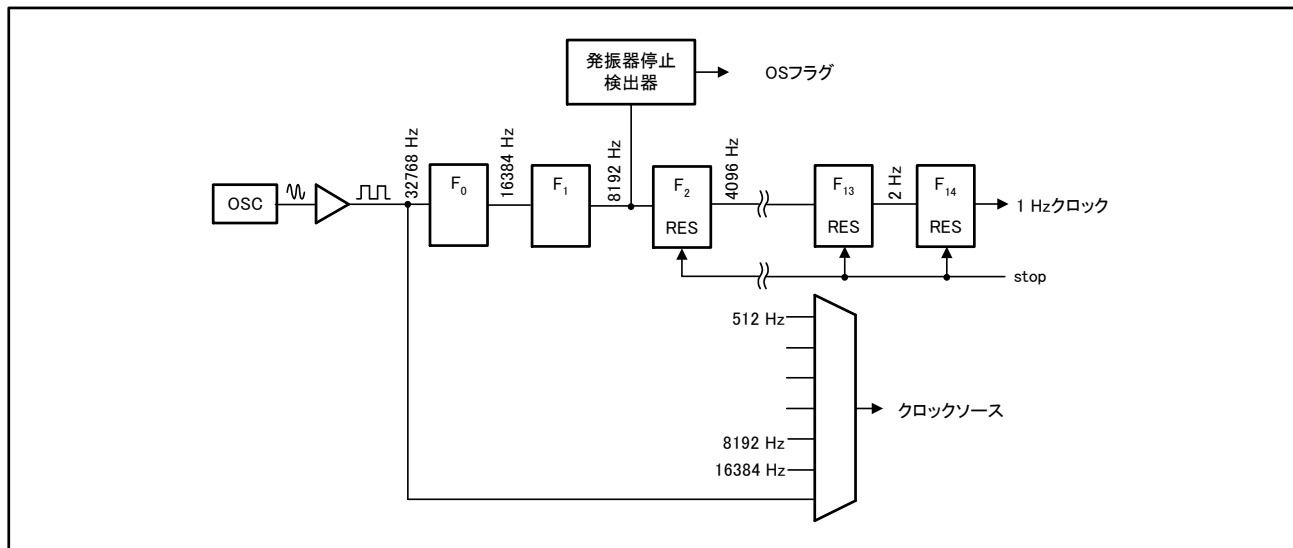
9.10. STOP ビットの機能

STOPビットの機能のおかげで、時刻カウントを正しく設定することができます。

STOPビットは上位プリスケラ ($F_2 \sim F_{14}$) にリセットを実行させ、それによって1Hzのクロック発生を停止します。

その後、時刻がセットできるようになり、ストップビットが解放されるまで時刻カウントが増加することはありません。（下図参照）

STOPビット：



STOPビットは32.768 kHz, 16.384 kHz, 8.192 kHzの出力には影響しません。（8.6.1.項参照）

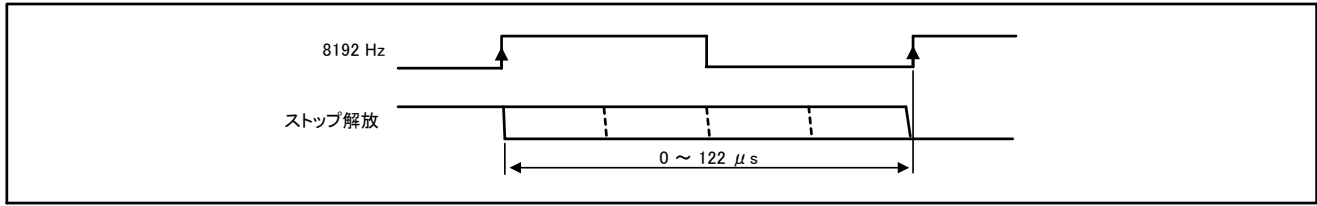
RR-8523-C3

高速 I²C インターフェース超低消費電流リアルタイムクロック/カレンダーモジュール



下位の 2 つのプリスケアラ (F0 ~ F1) はリセットされず、I²C バスインターフェースが水晶発振器と同期されていないため、時刻カウンタ再起動時の精度は 8.192kHz パルス 1 周期分以下になります。(下図参照)

STOP ビット解放タイミング:



STOP ビットが解放された後、時刻カウンタの増加は 0.499878~0.500000 秒後に起こります。値のばらつきはプリスケアラビット F0, F1 がリセットされていないことによって引き起こされます。(下表参照)

STOP ビットが解放された後の、最初の時刻カウンタ増加:

Bit	プリスケアラビット ¹⁾	1 Hz Tick	時刻	コメント
STOP	F ₀ F ₁ -F ₂ ~ F ₁₄		hh:mm:ss	
クロック通常駆動				
0	01-0000111010100		12:45:12	プリスケアラは通常カウント
ストップビットを手動で有効化; F ₀ と F ₁ はリセットされず、値は外部からは予測できない				
1	XX-0000000000000		12:45:12	プリスケアラをリセット;時刻カウンタ凍結
手動で時刻をセット				
1	XX-0000000000000		08:00:00	プリスケアラをリセット;時刻カウンタ凍結
手動で STOP ビット解除				
0	XX-0000000000000		08:00:00	プリスケアラ駆動開始
0	XX-1000000000000		08:00:00	-
0	XX-0100000000000		08:00:00	-
0	XX-1100000000000		08:00:00	-
:	:		:	:
0	11-1111111111110		08:00:00	-
0	00-0000000000001		08:00:01	F ₁₄ が 0 から 1 に変化することで時刻カウンタ増加
0	10-0000000000001		08:00:01	-
:	:		:	:
0	11-1111111111111		08:00:01	-
0	00-0000000000000		08:00:01	-
:	:		:	:
0	11-1111111111110		08:00:01	-
0	00-0000000000001		08:00:02	F ₁₄ が 0 から 1 に変化することで時刻カウンタ増加

1) F₀は32.768 kHzクロック。

10. I²C インターフェースの特性

I²Cインターフェースは双方向、つまり、異なるICまたはモジュールと2ライン通信します。

双方向通信に使われる2つのラインは、シリアルデータライン（SDA）とシリアルクロックライン（SCL）です。

どちらのラインも、プルアップ抵抗を介して主電源の+極に接続してください。

データ転送はインターフェースが**busy**状態でないときにのみ行われます。

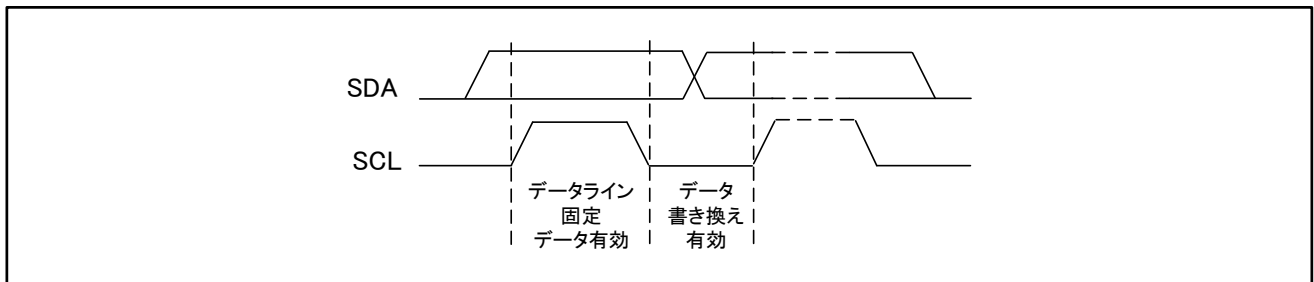
10.1. ビット転送

各クロックパルスにつき一つのデータビットが転送されます。

SDAラインのデータは、クロックパルスが**HIGH**状態の間は固定で、このときのデータライン内の変化は制御信号として認識されます。

クロックパルスが**LOW**状態の間にデータ変更が行われます（下図参照）

ビット転送：



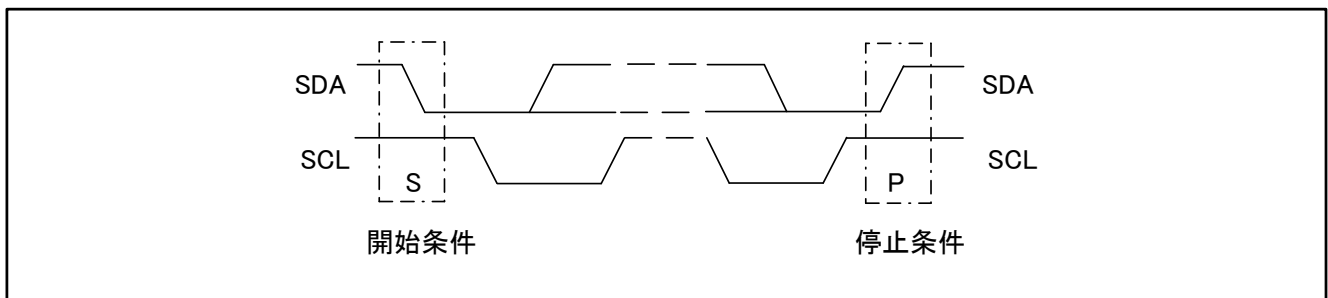
10.2. 開始・停止条件

バスが **busy** 状態でなければ、データラインとクロックラインは **HIGH** の状態を保ちます。

クロックラインが **HIGH** のままで、データラインが **HIGH** から **LOW** に切り替わる時を、開始条件（S）と定義します。

クロックラインが **HIGH** のままで、データラインが **LOW** から **HIGH** に切り替わる時を、停止条件（P）と定義します。（下図参照）

開始・停止条件：



このデバイスでは、再開始条件は使用できません。開始条件を送信する前に必ず停止条件を送信する必要があります。

10.3. システムコンフィグレーション

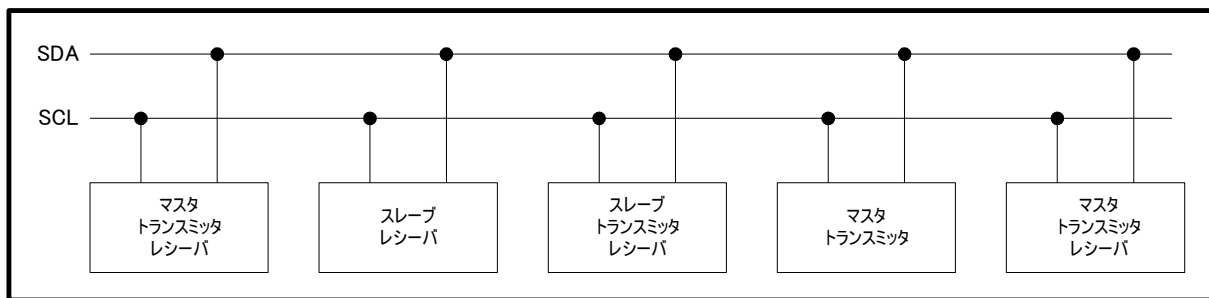
複数のデバイスをI²Cバスに接続できるので、I²C仕様のデバイスは他のデバイスと相互に通信するための固有の番号を持っています。

I²Cバスを制御するデバイスをマスタと呼び、マスタに制御されるデバイスはスレーブと呼びます。命令を発信するデバイスをトランスミッタと呼び、命令を受け取るデバイスをレシーバと呼びます。RR-8523-C3は、スレーブレシーバもしくはスレーブトランスミッタとして機能します。（マスタがあれば、レシーバとしてもトランスミッタとしても使える。）

I²Cバスにデータが送信される前に、応答側のデバイスが呼び出されます。アドレスは常に、開始条件の直後に転送されるバイトで指定されます。

クロック信号SCLは入力専用ですが、データ信号SDAは双方向信号です。

システム構成：



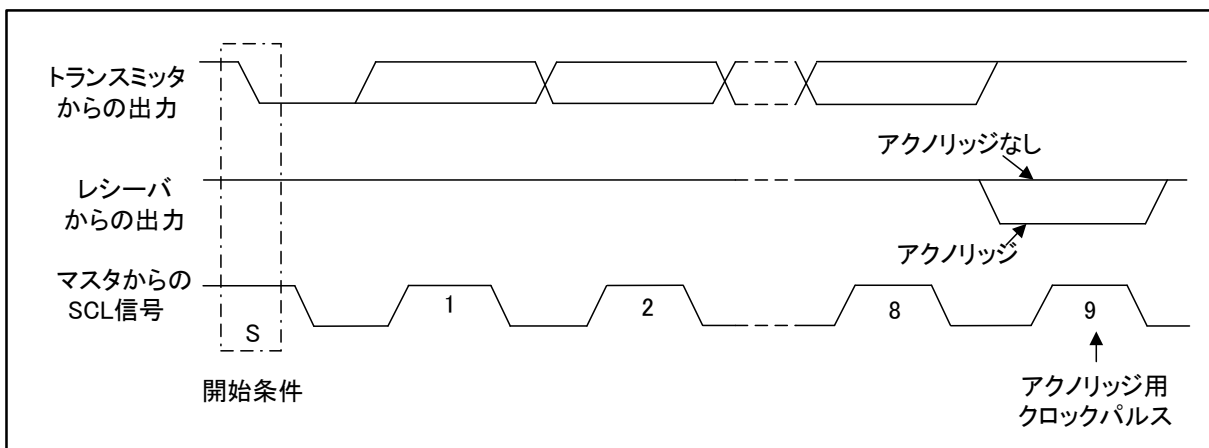
10.4. アクノリッジ

開始条件と停止条件の間にトランスミッタからレシーバに転送されるデータ長は無制限です。1バイト（8ビット）ごとにアクノリッジが1個つきます。

- 呼び出されたスレーブレシーバは各バイトを受信した後に一つのアクノリッジを発生します。
- マスタレシーバも同様に、スレーブトランスミッタがクロック出力した各バイトを受信した後、一つのアクノリッジを発生します。
- レシーバは、クロックパルスを認識する間SDAラインをプルダウンするので、関連するアクノリッジクロックパルスがHIGHの間、SDAラインはLOWになります。（セットアップ時間とホールド時間を含む）
- スレーブからクロック出力された最終バイトにアクノリッジを追加しないことによって、マスタレシーバはトランスミッタにデータの終わりを知らせます。この動作の中で、マスタが停止条件を発生させることができるように、トランスミッタはデータラインをHIGHのまま保持します。

I²C バスのアクノリッジ過程は下図を参照してください。

I²C バスのアクノリッジ過程：



11. I²C バスインターフェースのプロトコル

11.1. アドレス指定

I²C バス上で、7 ビットのスレーブアドレス **1101000b** が RR8523-C3 用に割り当てられています。
正確な I²C バスのスレーブアドレスバイトは下表を参照してください。

I²C スレーブアドレスバイト：

Bit	スレーブアドレス							R/ $\bar{W}$
	7 MSB	6	5	4	3	2	1	0 LSB
	1	1	0	1	0	0	0	1/0

開始条件の後、I²C スレーブアドレスが RR8523-C3 に送信されます。

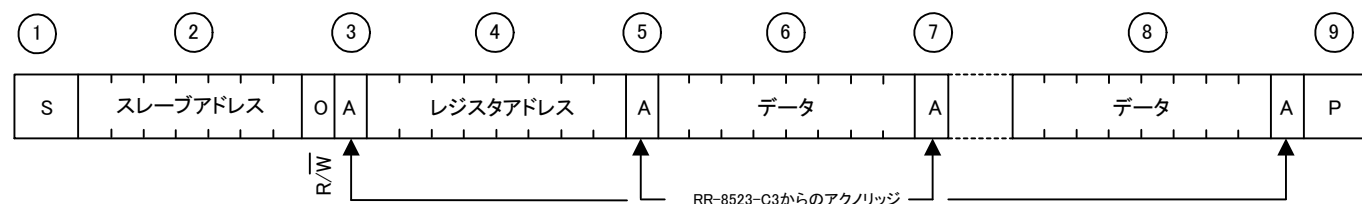
R/ $\bar{W}$ ビットが、送信データバイトの読み込み、書き出しを定義します。
書き込みオペレーション時、データ転送は、停止条件が送られるか、次のデータ転送の開始状態が転送されると終了します。

11.2. 書き込み、読み出しオペレーション

11.2.1. 書き込みオペレーション

マスタは特定のアドレスのスレーブレシーバにデータを転送します。
レジスタアドレスは、次にアクセスするレジスタを決める 8 ビットのデータです。
1 バイト読み出したまたは書き込みされた後、レジスタアドレスは 1 ずつ増加（インクリメント）されます。

- ① マスタが開始条件を送信
- ② マスタがスレーブアドレス D0h(RR-8523-C3 用) ; R/ $\bar{W}$ ビットは 0（書き込みオペレーション）を送信
- ③ RR-8523-C3 からアクノリッジ
- ④ マスタが RR-8523-C3 にレジスタアドレスを送信
- ⑤ RR-8523-C3 からアクノリッジ
- ⑥ マスタがステップ④で指定したアドレスに書き込みデータを送信
- ⑦ RR-8523-C3 からアクノリッジ
- ⑧ 必要ならステップ⑥と⑦を繰り返す。RR-8523-C3 のアドレスは自動的に 1 ずつ増加（インクリメント）される
- ⑨ マスタが停止条件を送信



RR-8523-C3

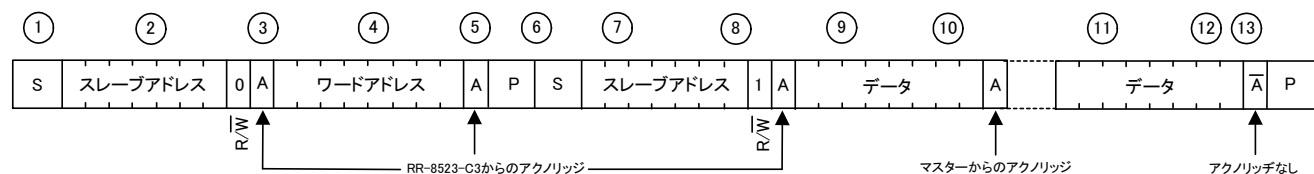
高速 I²C インターフェース超低消費電流リアルタイムクロック/カレンダーモジュール

RIVER

11.2.2. 特定アドレスからの読み出し

マスタで指定したレジスタアドレスからデータを読み出すことができます。

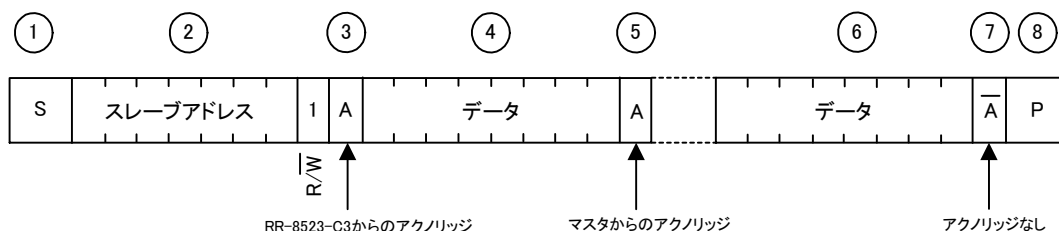
- ① マスタが開始条件を送信
- ② マスタがスレーブアドレス D0h (RR-8523-C3 用) ; R/ $\bar{W}$ ビットは 0 (書き込みオペレーション) を送信
- ③ RR-8523-C3 からアクノリッジ
- ④ マスタが RR-8523-C3 にレジスタアドレスを送信
- ⑤ RR-8523-C3 からアクノリッジ
- ⑥ マスタが停止条件送信後開始条件を送信
- ⑦ マスタがスレーブアドレス D1h (RR-8523-C3 用) ; R/ $\bar{W}$ ビットは 1 (読み込みオペレーション) を送信
- ⑧ RR-8523-C3 からアクノリッジ。
ここで、マスタがレシーバ、スレーブがトランスミッタとなる。
- ⑨ スレーブがステップ④で指定したワードアドレスにデータを送信
- ⑩ マスタからアクノリッジ
- ⑪ 必要ならばステップ⑨と⑩を繰り返す。
RR-8523-C3 のアドレスは自動的に 1 ずつ増加される (自動インクリメント)
- ⑫ レシーバとしてアドレス指定されたマスタはスレーブトランスミッタから送信された最終バイトのアクノリッジが発生されないことによって、データ送信を終了できる。
この動作の中で、マスタが停止条件を発生させることができるように、スレーブトランスミッタはデータラインを HIGH のまま保持する。
- ⑬ マスタが停止条件を送信



11.2.3. 読み出しの再開

レジスタアドレスを指定せずに読み出しを行うと、最後に読み出したアドレスの次のアドレスからデータを読み出すことができます。

- ① マスタが開始条件を送信
- ② マスタがスレーブアドレス D1h (RR-8523-C3 用) ; R/ $\bar{W}$ ビットは 1 (読み込みオペレーション) を送信
- ③ RR-8523-C3 からアクノリッジ。
- ④ ここで、マスタがレシーバ、スレーブがトランスミッタとなる。
- ⑤ RR-8523-C3 が最後にアクセスしたアドレスの次のアドレスからデータを送信
- ⑥ マスタからアクノリッジ
- ⑦ 必要ならばステップ⑤と⑥を繰り返す。
RR-8523-C3 のアドレスは自動的に 1 ずつ増加される (自動インクリメント)
- ⑧ レシーバとしてアドレス指定されたマスタはスレーブトランスミッタから送信された最終バイトのアクノリッジが発生されないことによって、データ送信を終了できる。
この動作の中で、マスタが停止条件を発生させることができるように、スレーブトランスミッタはデータラインを HIGH のまま保持する。
- ⑨ マスタが停止条件を送信



12. 絶対最大規格

パラメータ	記号	条件	最小値	最大値	単位
主電源電圧	V _{DD}		-0.5	+6.5	V
バックアップ電源電圧	V _{BACKUP}		-0.5	+6.5	V
入力電圧	V _I		-0.5	+6.5	V
出力電圧	V _O		-0.5	+6.5	V
主電源電流	I _{DD}		-50	+50	mA
直流入力電流	I _I		-10	+10	mA
直流出力電流	I _O		-10	+10	mA
静電耐圧	V _{ESD}	HBM ¹⁾	-	+/-2000	V
		CDM ²⁾	-	+/-1500	V
ラッチアップ電流	I _{LU}	³⁾	-	100	mA
使用温度範囲	T _{OPR}		-40	+85	°C
保存温度範囲	T _{STO}	製品単体で保存	-55	+125	°C

1) 適応規格 ; 人体モデル (HBM) 、JESD22-A114準拠

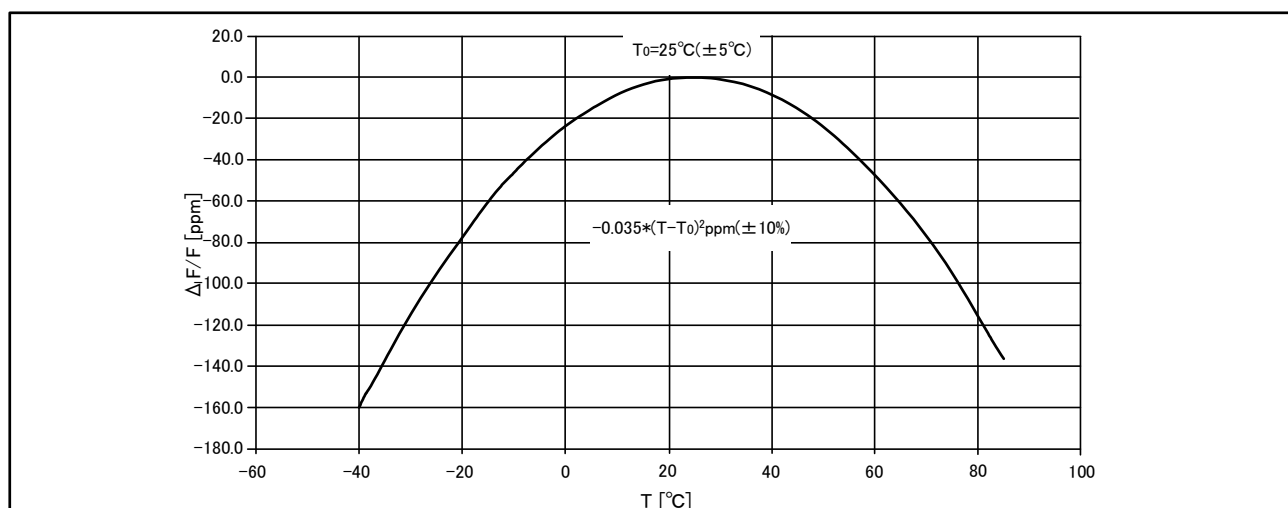
2) 適応規格 ; デバイス帯電モデル (CDM) 、JESD22-A101準拠

3) 適応規格 ; ラッチアップ試験JESD78準拠 (T_{amb (max)} = +85°C)

13. 周波数特性

パラメータ	記号	条件	最小値	最大値	単位
周波数精度	$\Delta F/F$	T _{AMB} = +25°C V _{DD} = 3.0 V	+/-10	+/-20	ppm
周波数電圧特性	$\Delta F/V$	T _{AMB} = +25°C V _{DD} = 1.8 V to 5.5 V	+/-0.8	+/-1.5	ppm/V
周波数温度特性	$\Delta F/F_{OPR}$	T _{REF} = +25°C V _{DD} = 3.0 V	$-0.035 * (T_{OPR}-T_0)^2$ (±10%)		ppm
頂点温度	T ₀		+25	+/-5	°C
初年度最大経時変化	$\Delta F/F$	At 25°C		+/-3	ppm
発振器起動時間	T _{START}	At 25°C	350	500	ms
クロック出力デューティサイクル	δ_{CLKOUT}	At 25°C	50	40/60	%

13.1. 周波数温度特性



14. 直流特性

特に記載がなければ、 $V_{DD} = 1.2\text{ V} \sim 5.5\text{ V}$; $V_{SS} = 0\text{ V}$; $T_{AMB} = -40^{\circ}\text{C to } +85^{\circ}\text{C}$; $f_{OSC} = 32.768\text{ kHz}$; $R_S = 40\text{ k}\Omega$; $C_L = 7\text{ pF}$;

パラメータ	記号	条件	最小値	代表値	最大値	単位
電源電圧						
主電源電圧	V_{DD}	クロックデータ保護のため I ² C バス無効化	1.2	-	5.5	V
		I ² C バス有効化	1.6	-	5.5	V
		パワーマネジメント有効	1.8	-	5.5	V
スルーレート	SR	主電源電圧	-	-	+/-0.5	V/ms
バックアップ電源電圧	V_{BACKUP}	パワーマネジメント有効	1.8	-	5.5	V
電源電流						
消費電流 I ² C バス有効	I_{DD}	$f_{SCL} = 1000\text{ kHz}$ $V_{DD} = 3.0\text{ V}$	-	100	200	μA
		$f_{SCL} = 100\text{ kHz}$ $V_{DD} = 3.0\text{ V}$	-	50	100	μA
消費電流 ¹⁾ I ² C バス無効 ($f_{SCL} = 0\text{ Hz}$) 割り込み無効 CLKOUT 端子無効 パワーマネジメント無効 $T_{AMB} = 25^{\circ}\text{C}$	I_{DDO}	$V_{DD} = 3.0\text{ V}$	-	130	180	nA
		$V_{DD} = 2.0\text{ V}$	-	110	160	nA
消費電流 ¹⁾ I ² C バス無効 ($f_{SCL} = 0\text{ Hz}$) 割り込み無効 CLKOUT 端子無効 パワーマネジメント無効 $T_{AMB} = -40\text{ to } +85^{\circ}\text{C}$	I_{DDO}	$V_{DD} = 2.0\text{ to } 5.0\text{ V}$	-	-	500	nA
消費電流 ²⁾ I ² C バス無効 ($f_{SCL} = 0\text{ Hz}$) 割り込み無効 CLKOUT 端子有効 (32.768kHz) パワーマネジメント有効 $T_{AMB} = 25^{\circ}\text{C}$	I_{DD32k}	$V_{BACKUP}\text{ or } V_{DD} = 3.0\text{ V}$	-	1200	-	nA
消費電流 ²⁾ I ² C バス無効 ($f_{SCL} = 0\text{ Hz}$) 割り込み無効 CLKOUT 端子有効 (32.768kHz) パワーマネジメント有効 $T_{AMB} = -40\text{ to } +85^{\circ}\text{C}$	I_{DD32k}	$V_{BACKUP}\text{ or } V_{DD} = 2.0\text{ to } 5.0\text{ V}$	-	-	3600	nA
バッテリーの漏洩電流	$I_{L(bat)}$	$V_{DD}\text{ active};$ $V_{BACKUP} = 3.0\text{ V}$	-	50	100	nA
パワーマネジメント						
バッテリー切り替え閾値電圧	$V_{th(sw)bat}$		2.28	2.5	2.7	V

RR-8523-C3

高速 I²C インターフェース超低消費電流リアルタイムクロック/カレンダーモジュール

RIVER

特に記載がなければ、V_{DD} = 1.2 V ~ 5.5 V; V_{SS} = 0 V; T_{AMB} = -40°C to +85°C; f_{OSC} = 32.768 kHz; R_S = 40kΩ; C_L = 7pF;

パラメータ	記号	条件	最小	代表値	最大	単位
入力 ³⁾						
LOW レベル入力電圧	V _{IL}		-	-	30% V _{DD}	V
HIGH レベル入力電圧	V _{IH}		70% V _{DD}	-	-	V
入力電圧	V _I		-0.5	-	V _{DD} + 0.5	V
入力端子漏洩電流	I _{LI}	V _I = V _{DD} or V _{SS}	-	0	-	nA
		静電耐圧試験後	-1	-	+1	μA
入力端子容量 ⁴⁾	C _I		-	-	7	pF
出力						
出力電圧	V _O	INT_1, INT_2, CLKOUT, SDA 端子 (外部プルアップ電圧と比較)	-0.5	-	5.5	V
LOW レベル出力電圧	V _{OL}		V _{SS}	-	0.4	V
LOW レベル出力電流 ⁵⁾	I _{OL}	出力シンク電流 INT_1, INT_2, CLKOUT 端子 V _{OL} = 0.4 V; V _{DD} = 5.0 V	1.5	-	-	mA
		SDA 端子: V _{OL} = 0.4 V; V _{DD} = 3.0 V	20	-	-	mA
出力端子漏洩電流	I _{LO}	V _O = V _{DD} or V _{SS}	-	0	-	nA
		静電耐圧試験後	-1	-	+1	μA

- 1) タイマソースクロック = 1/3600 Hz, SCL, SDA 端子の電圧レベルは電源電圧又はグランド電圧
- 2) 電源が主電源からバックアップ電源に切り替わったとき、バックアップ電流値 I_{BACKUP} は同条件下の主電源電流と同様です。
- 3) I²C バスの許容電圧値は 5V
- 4) 構造上必ず端子容量は潜在します。
- 5) 実測値

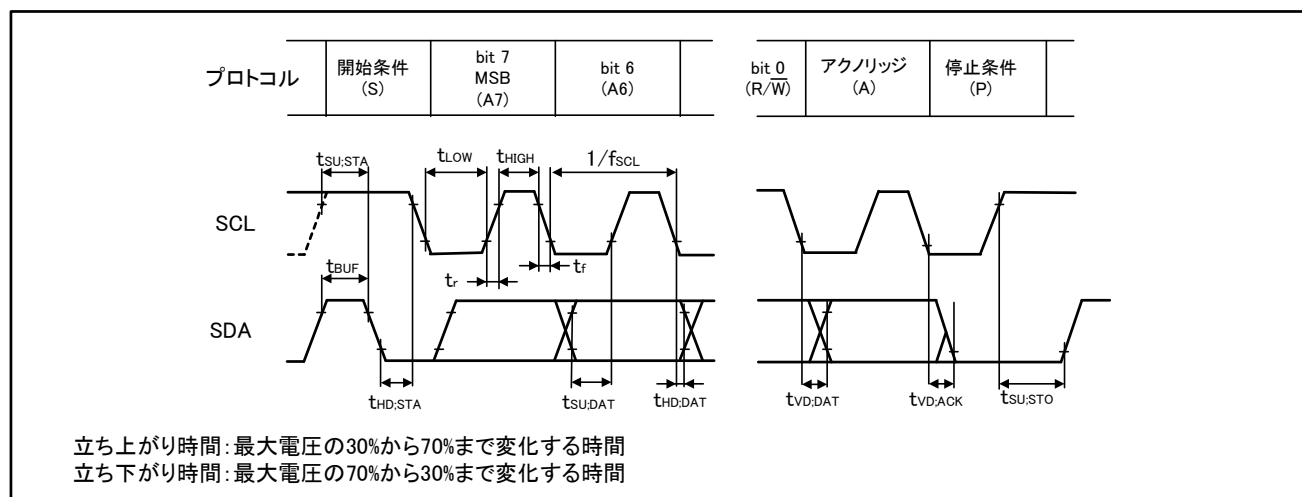
15. I²C バスインターフェースのタイミング仕様

全てのタイミング仕様は起動電圧、起動環境温度範囲で有効であり、立ち上がり、立ち下がりエッジ上で入力電圧が最大電圧の30%、70%になったときを基準にしています。（下図参照）

パラメータ	記号	スタンダードモード		ファストモード		ファストモード+1)		単位
		最小値	最大値	最小値	最大値	最小値	最大値	
SCL 端子								
SCL クロック周波数 2)	f _{SCL}	-	100	-	400	-	1000	kHz
SCL クロックの LOW パルス幅	t _{LOW}	4.7	-	1.3	-	0.5	-	μs
SCL クロックの HIGH パルス幅	t _{HIGH}	4.0	-	0.6	-	0.26	-	μs
SDA 端子								
データ設定時間	t _{SU;DAT}	250	-	100	-	50	-	ns
データ保持時間	t _{HD;DAT}	0	-	0	-	0	-	ns
SCL,SDA 端子共通								
停止条件から開始条件までの バスフリー時間	t _{BUF}	4.7	-	1.3	-	0.5	-	μs
停止条件の設定時間	t _{SU;STO}	4.0	-	0.6	-	0.26	-	μs
再開条件の保持時間	t _{HD;STA}	4.0	-	0.6	-	0.26	-	μs
再開条件の設定時間	t _{SU;STA}	4.7	-	0.6	-	0.26	-	μs
SDA,SCL ラインの立ち上がり時間 3) 4)	t _r	-	1000	-	300	-	120	ns
SDA,SCL ラインの立ち下がり時間 3) 4)	t _f	-	300	-	300	-	120	ns
SDA,SCL ラインの負荷容量	C _b	-	400	-	400	-	550	pF
有効データ認識時間 5)	t _{VD;ACK}	-	3.45	-	0.9	-	0.45	μs
有効データ時間 6)	t _{VD;DA T}	-	3.45	-	0.9	-	0.45	μs
入力フィルタが制御する スパイクパルス幅 7)	t _{SP}	-	50	-	50	-	50	ns

- 1) ファストモード+は主電源電圧3.0~5.5Vを保証しています。
- 2) 全てのSDA、SCLラインがLOW状態にアサートされている時にシリアルバスインターフェースをリセットするバスタイムアウト状態（最短25ms）で最低SCLクロック周波数が制限されています。バスタイムアウト状態は直流電源投入時に無効化されます。
- 3) SCLラインの立ち下がりエッジの未定義領域を埋めるために、マスタデバイスはSDA信号（SCL信号のLOW電圧V_{IL}と比較）用に最低300nsの保持時間を内部に発生させる必要があります。
- 4) SDA,SCLバスラインのt_r最大値は300ns。SDA出力の最大立下り時間、t_fは250 ns。これは、t_rの最大値を超えることなく、SDA端子、SCL端子とSDA/SCLバスラインの間に直列保護抵抗を接続することを可能にします。
- 5) t_{VD;ACK} = SCLのLOW状態からSDAのLOW出力へアクノリッジが送信される時間
- 6) t_{VD;DAT} = SDA出力がSCLのLOW状態に従うまでの最短時間
- 7) SDA,SCL端子の入力フィルタがスパイクノイズを50ns以下に抑えます。

15.1. タイミング図

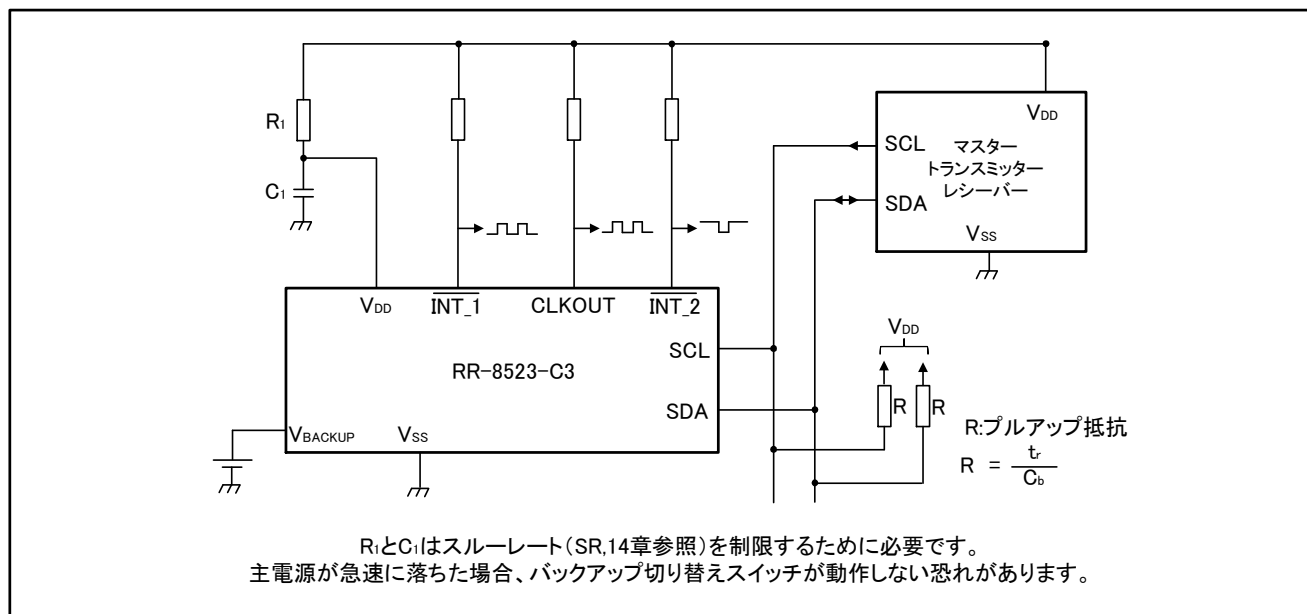


RR-8523-C3

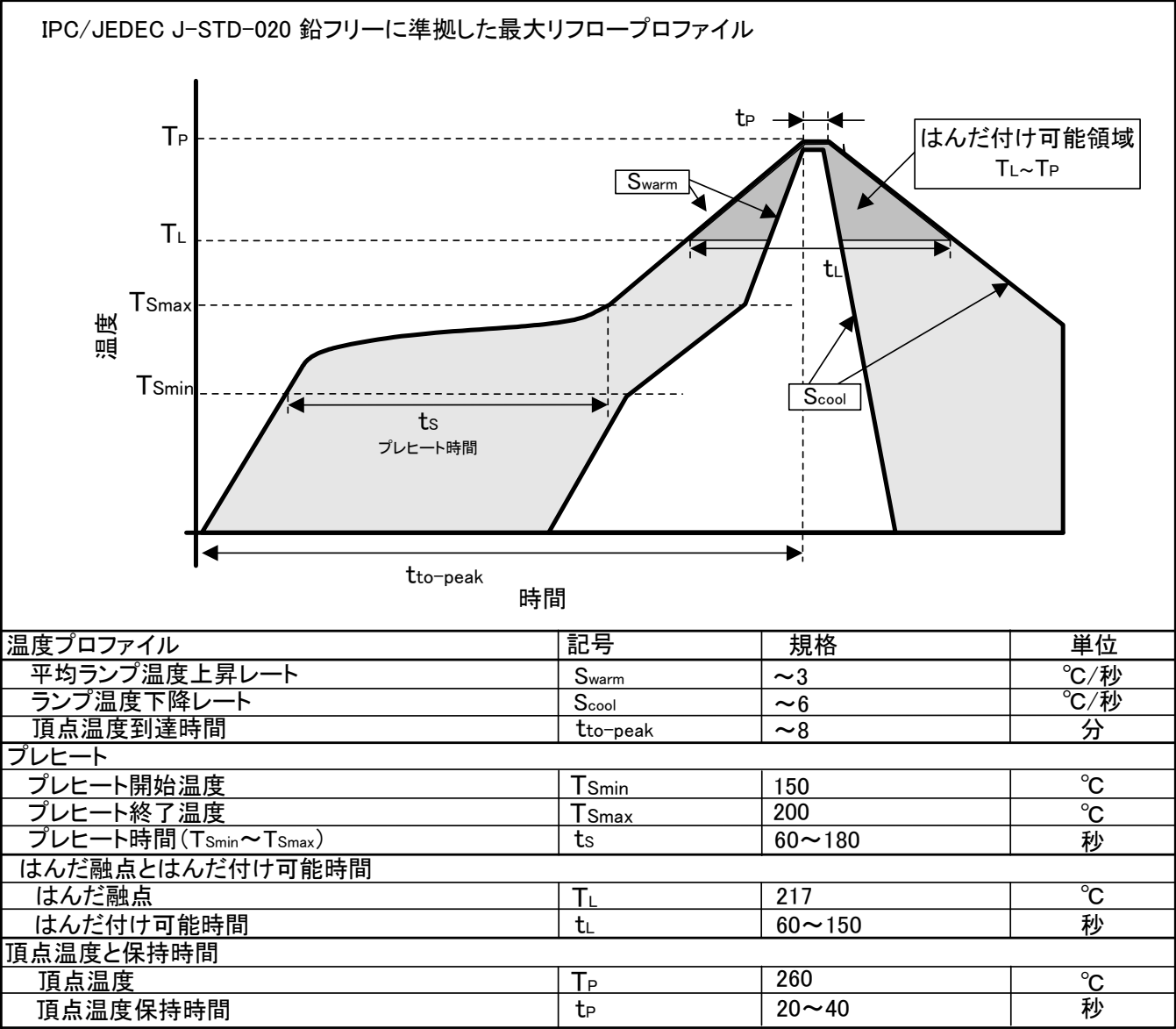
高速 I²C インターフェース超低消費電流リアルタイムクロック/カレンダーモジュール

RIVER

16. 使用方法



17. 推奨リフロープロファイル（鉛フリーはんだ）



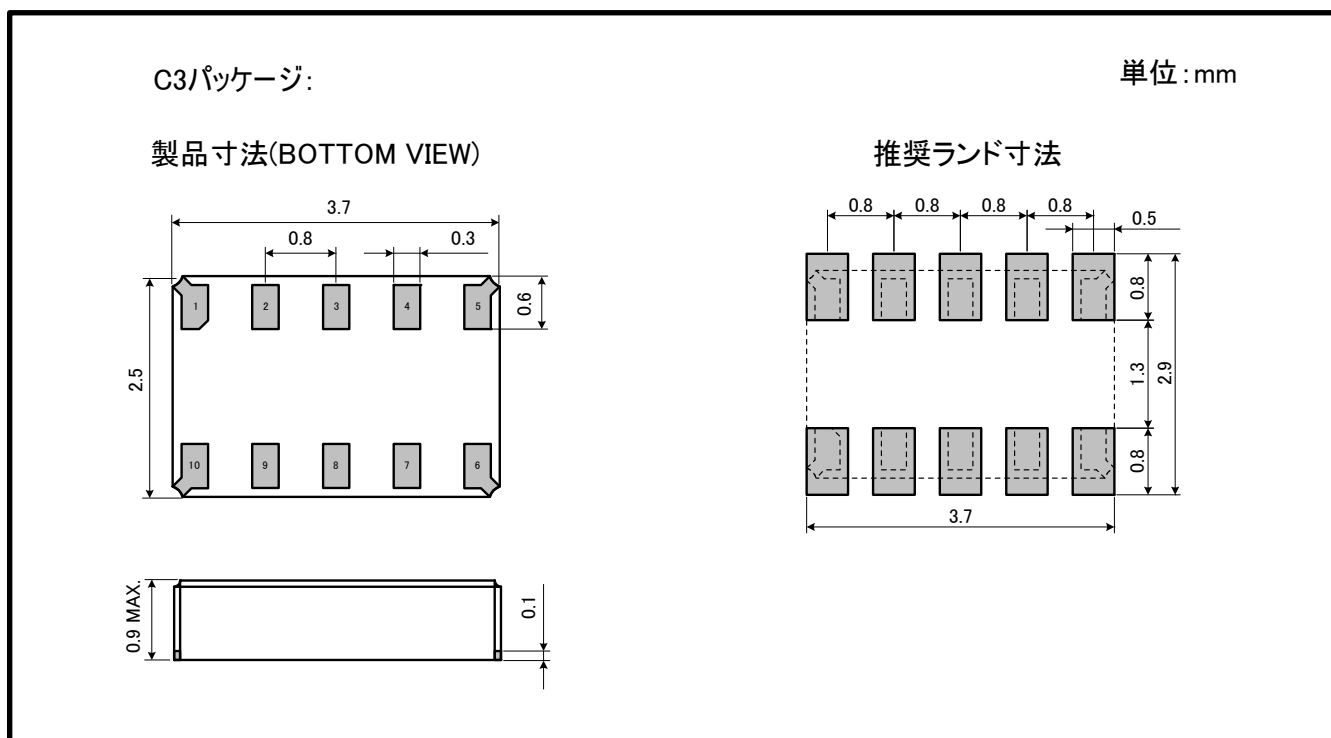
RR-8523-C3

高速 I²C インターフェース超低消費電流リアルタイムクロック/カレンダーモジュール

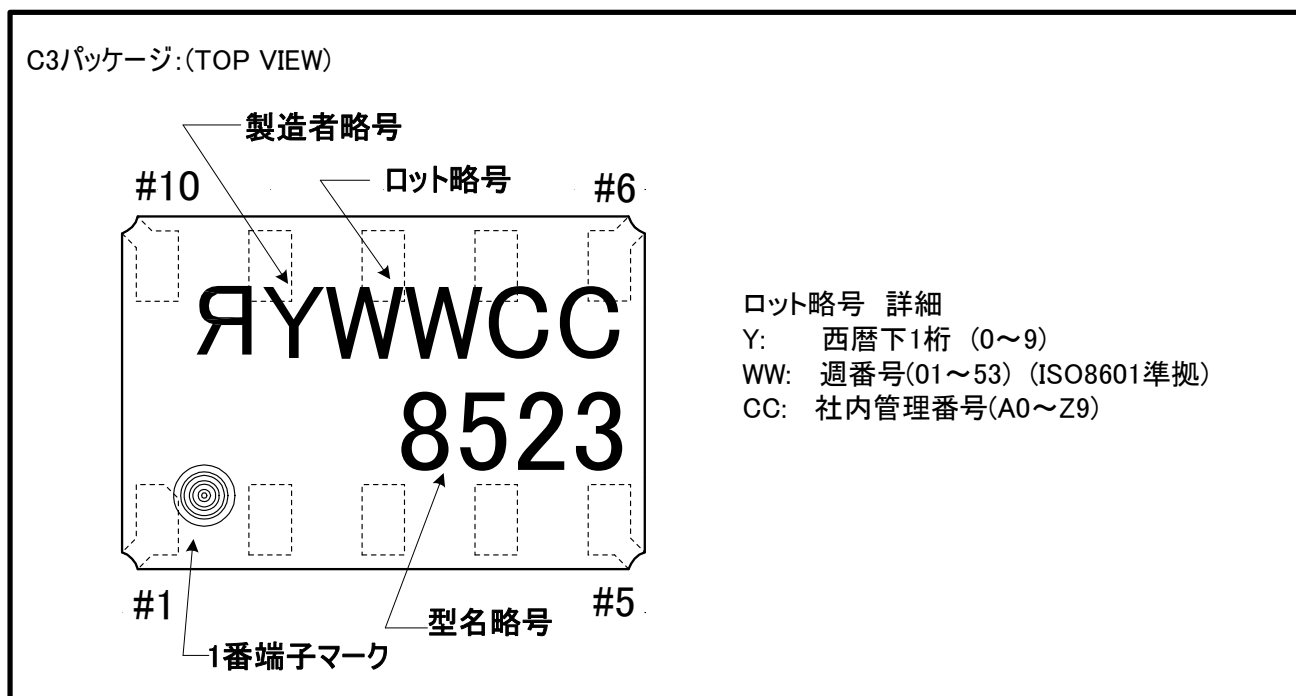
RIVER

18. パッケージ

18.1. 製品寸法と推奨ランド寸法



18.2. マーキングと1番ピンマーク



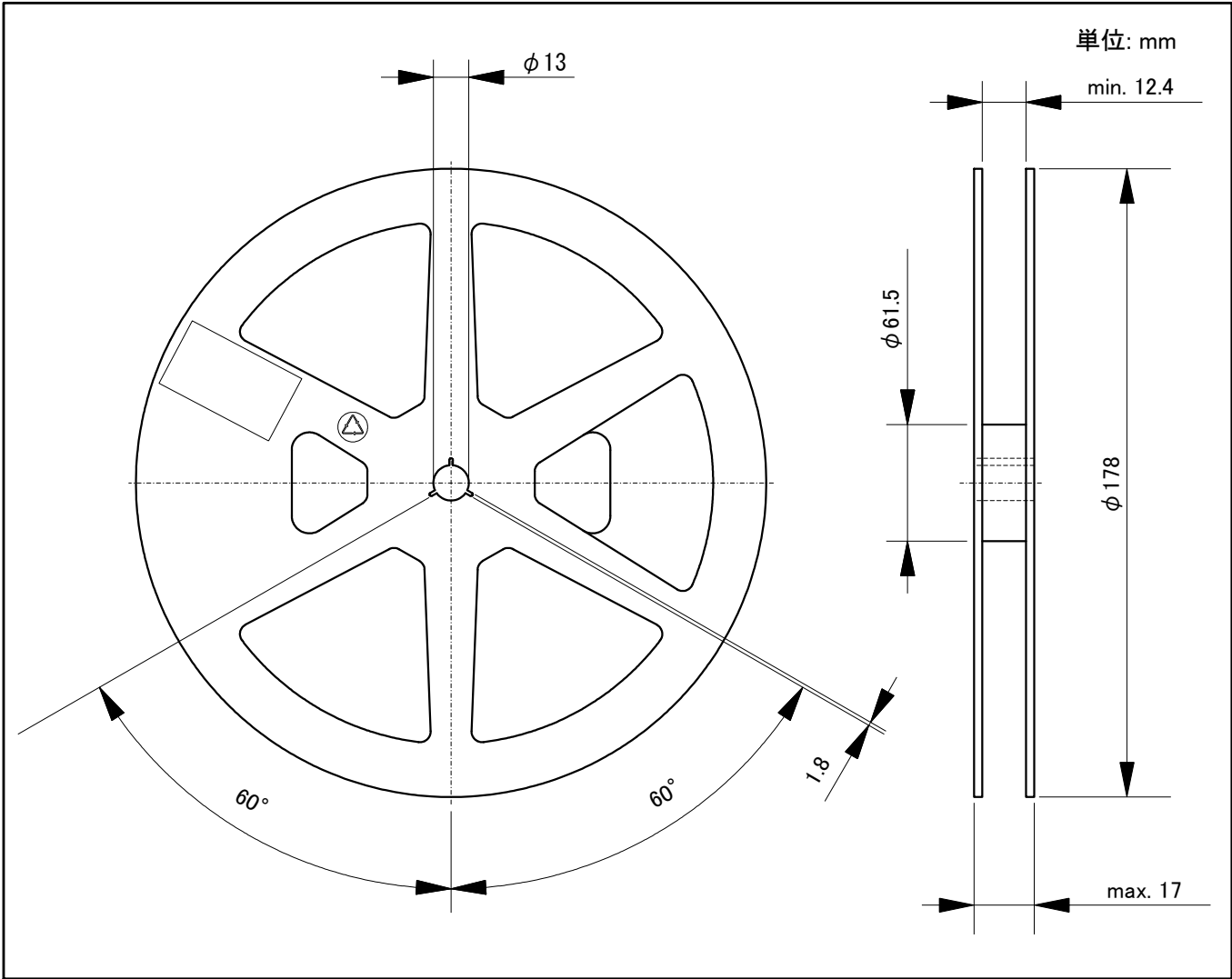
高速 I²C インターフェース超低消費電流リアルタイムクロック/カレンダーモジュール

RR-8523-C3

高速 I²C インターフェース超低消費電流リアルタイムクロック/カレンダーモジュール



19.3. 12mmテープ用7インチリール



リール

直径	材料
178mm	プラスチック、ポリスチロール

20. 水晶振動子または水晶振動子を内蔵したモジュールの取り扱い注意事項

内蔵されている音叉型水晶振動子は純粋な水晶の結晶でできています。パッケージ内部の空洞は、水晶片を空気、水分その他の影響から遠ざけるために、真空状態で密封しています。

衝撃、振動

水晶振動子またはモジュールに過度の機械的衝撃、振動を与えないでください。リバーエレテックでは5000G/0.3ms以下の衝撃を保証しています。下記のような状況では衝撃、振動による故障が発生する可能性があります。

PCB基板の切断 -

基板搭載工程の最後にはたいていPCB基板は電動のこぎりで切断されます。電動のこぎりはPCB基板に32.768kHzに近い基本波または高調波の振動を発生することがあります。この場合、水晶片が共鳴して破壊されます。電動のこぎりのスピードを発振周波数から避けるように設定してください。

超音波洗浄 -

超音波洗浄機を使用して洗浄することを避けてください。超音波洗浄は水晶片と機械的に共鳴して水晶片にダメージを与える可能性があります。

過加熱、リワーク時の高熱処理:

パッケージへの過加熱を避けてください。パッケージは金80%-スズ20%合金製リングで封止されています。この合金の融点は280°Cです。封止リングを280°C以上に上げると、金属封止が溶け、キャビティが真空であるため、エアダクトを形成しながらキャビティ内部に吸い込まれます。ホットエアガンの設定が300°C以上になるとこの状況が発生します。

取り外す際は以下の手順で行ってください。

- 270°Cに設定したホットエアガンを使用して下さい。
- 温度設定可能なはんだごてを2つ使用して、設定を270°Cとし、両サイドから全てのはんだ付け部を同時に加熱できる特別なこて先を当てて、はんだが液化した時にピンセットで取り外してください。